



ETUDE DES PROBLEMATIQUES D'INTEGRITE DES SIGNAUX, DE CEM ET DE FIABILITE DES COMPOSANTS ELECTRONIQUES

Moncef Kadi

► To cite this version:

Moncef Kadi. ETUDE DES PROBLEMATIQUES D'INTEGRITE DES SIGNAUX, DE CEM ET DE FIABILITE DES COMPOSANTS ELECTRONIQUES. Electronique. Université de Rouen Normandie, 2011. tel-02308022

HAL Id: tel-02308022

<https://normandie-univ.hal.science/tel-02308022>

Submitted on 8 Oct 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Travaux scientifiques
Présentés à

L'UNIVERSITE DE ROUEN

pour obtenir le

DIPLOME D'HABILITATION A DIRIGER DES RECHERCHES

Spécialité : Electronique (section 63)

par

Moncef KADI

**ETUDE DES PROBLEMATIQUES D'INTEGRITE DES SIGNAUX,
DE CEM ET DE FIABILITE DES COMPOSANTS
ELECTRONIQUES**

Soutenue le 1^{er} Avril 2011 à 10h30 à l'ESIGELEC devant la commission d'examen :

Philippe DESCAMPS	Rapporteur	Professeur à l'ENSI Caen
Etienne SICARD	Rapporteur	Professeur à l'INSA de Toulouse
Lionel PICHON	Rapporteur	Directeur de Recherche au LGEP
Kaouther DAOUD	Examineur	Professeur à l'université de Rouen
Fabien NDAGIJIMANA	Examineur	Professeur à l'UJF Grenoble
Belahcène MAZARI	Examineur	Professeur CESI de ROUEN
Odile PICON	Examineur	Professeur à l'université PARIS-EST MLV

SOMMAIRE

Introduction Générale	8
Activités de recherche	11
I. Interconnexions RF sans fil avec antennes intégrées et interférences électromagnétiques	11
I.1. Introduction	11
I.2. Travaux réalisés et principaux résultats	12
I.3. Rapports et publications liés aux travaux sur les interconnexions RF sans fil.....	18
II. Réalisation et calibrage de sondes pour les mesures en champ proche	19
II.1. Introduction	19
II.2. Travaux réalisés et principaux résultats	19
II.3. Rapports et publications liés aux travaux sur le champ proche	25
III. CEM des composants électroniques – immunité conduite	26
III.1. Immunité conduite des circuits intégrés face à des perturbations continues CW (Continuous-Wave)	27
III.2. Immunité conduite des circuits intégrés face à des décharges électrostatiques ESD (ElectroStatic Discharge)	39
III.3. Rapports et publications liés aux travaux sur l’immunité conduite	45
IV. Fiabilité des composants sous stress électromagnétique	46
IV.1. Banc de stress électromagnétique rayonné.....	47
IV.2. Fiabilité des TBH Si-SiGe sous contraintes électromagnétiques rayonnées.....	48
IV.3. Fiabilité des technologies GaN utilisées dans les applications radars	56
IV.4. Fiabilité des composants à semiconducteurs larges bandes pour les applications haute température	56
IV.5. Rapports et publications liés aux travaux sur la fiabilité	56
Conclusions générales et perspectives	58
Bibliographie	61
Annexe 1. Curriculum vitae	67
A1.I. Etat civil et fonction actuelle	67

A1.II.	Titres	68
A1.III.	Parcours professionnel	68
A1.IV.	Activité d'encadrement des travaux de recherche.....	69
A1.IV.1.	Encadrement de thèses	69
A1.IV.2.	Encadrement de stages de Masters 2	70
A1.IV.3.	Encadrement de stages de fin d'études	71
A1.V.	Responsabilités collectives et rayonnements.....	71
A1.V.1.	Participations aux montages de dossiers de projets de recherche.....	71
A1.V.2.	Participations à des jurys de thèses	72
 Annexe 2. Liste des travaux et des publications		74
A2.I.	Mémoires	74
A2.II.	Revue internationale avec comité de lecture.....	75
A2.III.	Conférences internationales avec comité de lecture	77
A2.III.1.	Conférences IEEE	77
A2.III.2.	Autres conférences	77
A2.IV.	Conférences nationales avec comité de lecture.....	79
A2.V.	Tableau de synthèse du nombre de publications par an.....	81
 Annexe 3. Activités d'enseignement		82
A3.I.	Présentation générale	82
A3.II.	Principales contributions	83
A3.II.1.	Au niveau de la formation initiale	83
A3.II.2.	Au niveau de la formation continue	85
A3.III.	Enseignements dispensés	85
A3.III.1.	Enseignements à l'ENSERG (2001/2004).....	85
A3.III.2.	Enseignements à l'ESIGELEC (depuis 2004).....	86
A3.III.3.	Enseignements dans des Masters 2 recherches (depuis 2006)	88
 Annexe 4. Quelques publications dans des revues internationales		90

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Les circuits électroniques connaissent depuis plusieurs décennies d'importants progrès caractérisés par des miniaturisations accrues permettant d'atteindre de très hautes performances. Ces progrès ont touché aussi bien les circuits élémentaires (transistors) que les circuits intégrés. Ils ont été rendus possibles grâce non seulement aux développements des techniques de lithographie mais aussi à de grands efforts de recherche autour des technologies du semi-conducteur. En plus des technologies classiques en Silicium (Si) et leurs variantes (SOI, SOS, ...) ainsi que les technologies en Arséniure de Galium (GaAs), nous trouvons depuis quelques années des technologies émergentes, à large bande interdite, très bonnes candidates aux applications de l'électronique hyperfréquence (GaN) et l'électronique de puissance (GaN et SiC). Ces technologies permettent de supporter de très forts courants à des températures très élevées ($\sim 300^{\circ}\text{C}$).

Avec le développement de systèmes mécatroniques embarqués intégrant de plus en plus de modules (hyperfréquence, puissance, numérique, ...) ; les problématiques de l'intégrité des signaux, la compatibilité électromagnétique (CEM) et la fiabilité ont connu un accroissement d'intérêt dans différents domaines (microélectronique, automobile, aéronautique ...). Dès lors, plusieurs travaux de recherche permettant d'appréhender ces problématiques ont été lancés aux niveaux des laboratoires universitaires et industriels. Cet intérêt est dû principalement au fait que ces thématiques concourent toutes les trois au même objectif : composants et systèmes fonctionnels, fiables et robustes.

Je présente, dans ce rapport, un résumé de mes activités de recherche menées ces dix dernières années. Comme structuré sur la figure 1, ces activités sont directement liées aux trois thématiques évoquées plus haut dans cette partie. Elles ont démarré avec une thèse de doctorat de l'université Joseph Fourier, alors que j'étais rattaché au laboratoire IMEP (Institut de Microélectronique d'Electromagnétisme et Photonique). Cette thèse, dans le domaine de l'intégrité des signaux, portait sur l'étude d'interconnexions RF sans fil avec antennes intégrées. A la fin de cette thèse, j'ai rejoint l'IRSEEM/ESIGELEC en tant que Post-Doc pour devenir ensuite enseignant/chercheur dans le pôle Electronique & Systèmes (E&S). J'ai poursuivi une activité de recherche au sein de ce pôle, dans le domaine des antennes, plus particulièrement celles utilisées pour les mesures de champs proches en CEM. Je me

suis également intéressé aux effets des interférences électromagnétiques sur les circuits intégrés et les composants électroniques, une activité qui s'est articulée autour des thématiques : CEM et fiabilité des composants électroniques.

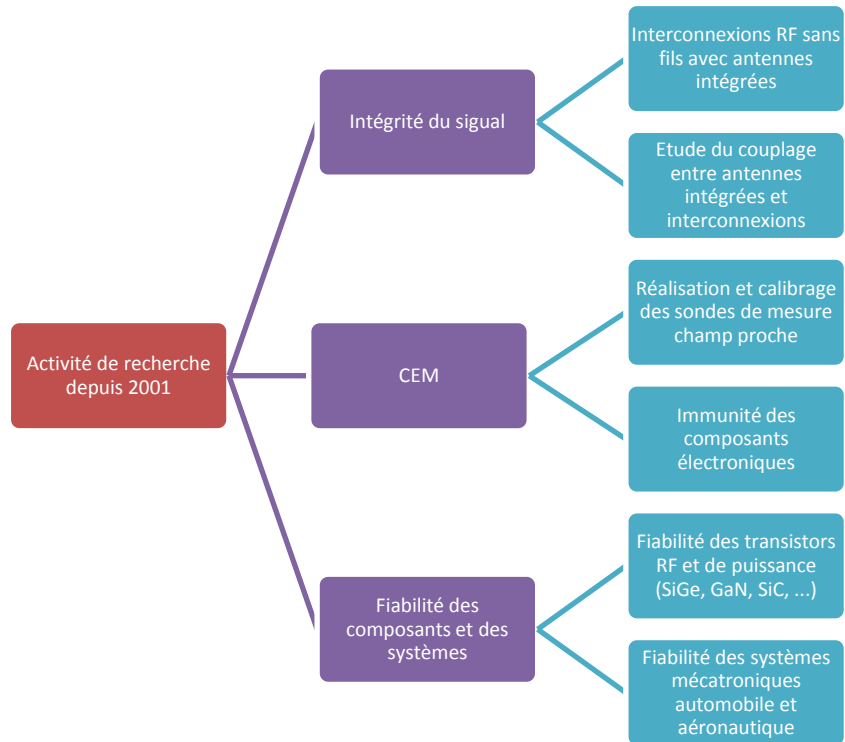


Figure 1 : Thèmes abordés dans mon activité de recherche.

ACTIVITES DE RECHERCHE

ACTIVITES DE RECHERCHE

I. *INTERCONNEXIONS RF SANS FIL AVEC ANTENNES INTEGREES ET INTERFERENCES ELECTROMAGNETIQUES*

I.1. Introduction

La course à la miniaturisation des circuits électroniques impose à l'industrie des semiconducteurs la fabrication de puces avec des densités d'intégration accrues. De plus, pour pouvoir aller de plus en plus vite, ces puces doivent travailler à des fréquences de plus en plus élevées. Face à ces deux contraintes, le réseau de lignes d'interconnexions se retrouve souvent pointé du doigt et semble être la principale source de limitation en termes de développement et de performances dans les nouvelles et futures générations de circuits intégrés. Parmi les solutions pressenties pour remplacer, pour certaines fonctions critiques, les lignes d'interconnexions classiques, nous trouvons les interconnexions optiques [Réf1], les interconnexions 3D [Réf2], [Réf3] et les interconnexions RF [Réf4]. Pour ces dernières, plusieurs travaux dans la littérature ont montré leur faisabilité pour des transmissions d'horloges intra-puces à des fréquences de 7,4 et 15 GHz [Réf4]-[Réf5], inter-puces à une fréquence de 15 GHz [Réf6] et sur PCB à une fréquence de 2 GHz [Réf7].

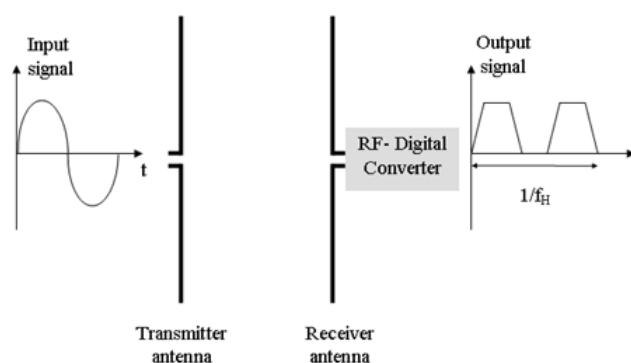


Figure 2 : Principe de la distribution d'horloge RF sans fil.

Le principe de cette transmission d'horloges est fondée sur le synoptique de la figure 2. Un signal mono-fréquence est transmis via une antenne d'émission vers une antenne de réception qui le récupère et le transfère à un détecteur pour restituer le signal d'horloge de

forme carrée. L'avantage de ce concept est d'utiliser un signal à bande étroite à l'émission contrairement à la méthode classique de distribution d'horloge qui utilise le signal carrée à plus large bande.

I.2. Travaux réalisés et principaux résultats

J'ai proposé dans mes travaux de thèse [T1] un nouveau concept d'interconnexions RF sans fil dédiées à la distribution d'horloge inter-puces sur « MultiChip Module ». Cette technique est prometteuse pour la distribution d'horloges dépassant le GHz sur des circuits de dimensions centimétriques. A ces fréquences, les dimensions centimétriques sont comparables aux longueurs d'ondes, ce qui complique considérablement l'utilisation des techniques classiques de distribution d'horloge. La solution proposée est une technique hybride qui repose sur l'utilisation d'antennes imprimées sur substrats high-K qui sont reportés ensuite sur le substrat du MCM utilisé (figure 3-b-).

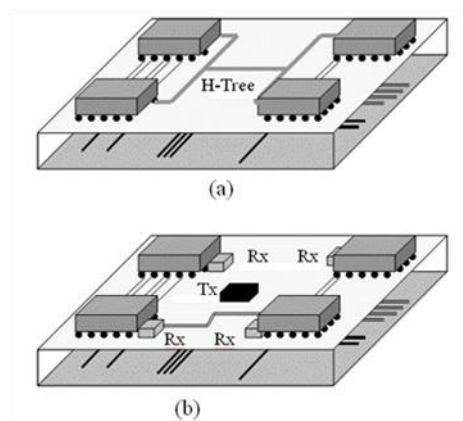


Figure 3 : (a) Distribution classique d'horloge par arbre en H, (b) Illustration du concept de distribution d'horloge inter-puces sur MCM-L (Tx : antenne de transmission, Rx : antenne de réception).

Cette solution, telle que je l'ai développée, peut être appliquée aussi bien à des circuits MCM, qu'au niveau du PCB, pour la distribution d'horloges entre circuits intégrés. Elle remplacera principalement les circuits classiques de distribution d'horloges qui ont des formes d'arbres H équilibrés (figure 3-a-) et qui souffrent de la montée en fréquence des signaux d'horloges avec des temps de montée de plus en plus rapides. L'utilisation des matériaux high-K permet de réduire la taille de l'antenne d'émission et des antennes de réceptions. A l'instar du concept RF proposé sur la figure 2, cette solution nécessite

l'utilisation des circuits de réception qui se chargent d'amplifier et de restituer le signal d'horloge locale aux niveaux des puces. Ces circuits peuvent être facilement intégrés dans les puces, compte tenu des petites dimensions qui les caractérisent.

La réalisation des interconnexions RF sans fil nécessite la conception d'antennes de petites dimensions pour transmettre l'information par voie hertzienne d'un point à l'autre de la puce, entre puces ou entre plusieurs circuits. Dans les premières expériences présentées dans la littérature, les antennes utilisées étaient principalement des dipôles imprimés eu égard à la petite surface qu'ils occupaient contrairement à d'autres configurations planaires [Réf7]. Pour réduire leur taille, les dipôles n'étaient pas utilisés à leur longueur de résonance, ce qui rend leur impédance d'entrée complexe (partie imaginaire non nulle).

Les antennes proposées dans nos travaux [T1], [P10] sont aussi de forme dipôle imprimé. Elles sont réalisées sur deux types de substrats high-K : le LaAlO_3 et le MgO de permittivités respectives de 23,7 et 9. Sur la figure 4, nous présentons le coefficient de réflexion S_{11} du dipôle réalisé sur substrat LaAlO_3 de dimension $5 \times 5 \text{ mm}^2$, reporté sur de l'époxy de dimension $5 \times 5 \text{ cm}^2$. A la fréquence de travail qui est de 20 GHz, l'antenne a un S_{11} de -12 dB. Le dipôle a une longueur totale de 2,14 mm ($\sim \lambda/2$ à 20 GHz) et une largeur de 20 μm . Il a été réalisé en salle blanche en suivant les étapes technologiques habituelles de dépôt (par pulvérisation cathodique), de lithographie, de développement et de gravure.

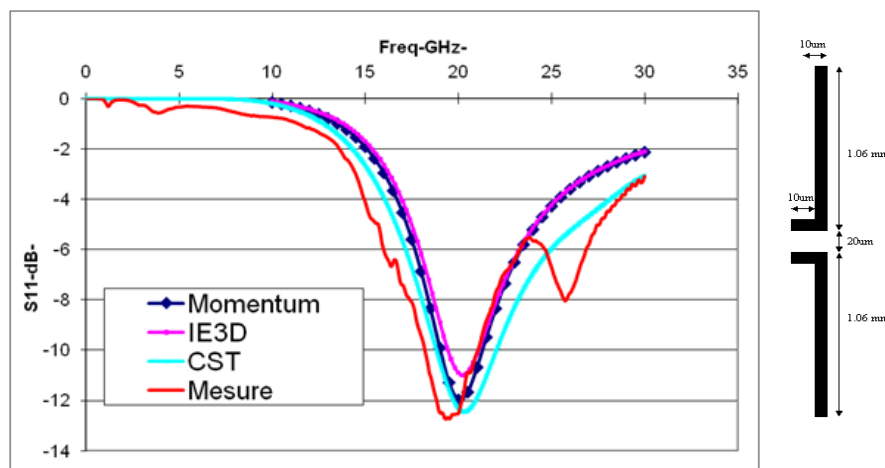


Figure 4 : Coefficient de réflexion de l'antenne dipôle utilisée dans les interconnexions RF sans fil.

Ce premier résultat s'avère particulièrement important. Il montre clairement l'apport du substrat de haute permittivité, lequel a permis de réaliser une antenne adaptée (une bonne efficacité d'antenne), tout en gardant ses dimensions raisonnables. Pour le substrat MgO, le dipôle réalisé a une longueur totale de 3,15 mm et une largeur de 20 μm .

Dans la configuration du MCM-L étudiée, un des critères les plus importants pour la détermination de l'efficacité des interconnexions RF est le facteur de transmission de puissance entre antennes. La séparation entre antennes est de 1 ou 2 cm, en supposant que l'antenne d'émission soit placée au centre du MCM-L et que les antennes de réception soient placées autour; pour un circuit de dimensions de 5x5 cm² (figure 5-a- et figure 5-b-). Deux paramètres sont souvent calculés pour exprimer le bilan de puissance entre antennes. Le premier est le paramètre S_{21} qui représente la racine carrée du rapport de la puissance reçue sur la puissance émise en tenant compte de la désadaptation des antennes d'entrée et de sortie. Le deuxième est le gain de transmission donné par la formule de Friis, qui exprime le rapport entre la puissance reçue et la puissance émise, pour le cas idéal où les antennes sont adaptées à l'entrée et à la sortie simultanément et où la transmission s'effectue par ondes sphériques.

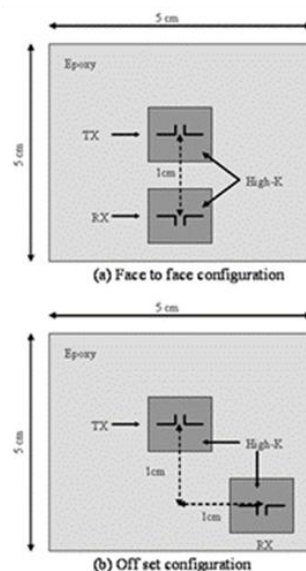


Figure 5 : Différentes positions d'antennes pour les caractérisations en transmission (a- antennes en face à face "Face to face", b- antennes en position décalée "Off set").

Sur la figure 6, nous présentons les résultats de mesures du coefficient de transmission S_{21} entre l'antenne d'émission et l'antenne de réception dans les deux configurations de la

figure 5. A la fréquence de 20 GHz, nous obtenons des niveaux de transmission de respectivement -20 dB et -50 dB pour les configurations "Face to Face" et "Off set".

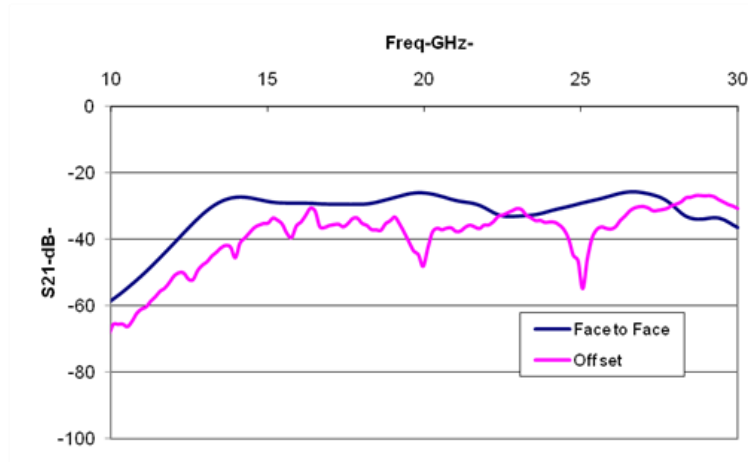


Figure 6 : Transmission entre deux dipôles en positions "Face to Face" et "Off set".

Afin de mesurer l'importance de ce résultat en le comparant avec les premières études de faisabilité sur les interconnexions RF sans fil, nous nous sommes intéressés au gain de transmission à deux fréquences particulières : 15 GHz et 20 GHz (tableau 1).

Configurations	f (GHz)	S_{21} (dB)	S_{11} (dB)	S_{22} (dB)	G (dB)
Face to face	15	-35	-5	-5	-31,7
	20	-20	-12	-12	-19,5
Off set	15	-35	-5	-5	-31,7
	20	-40	-12	12	-39,5

Tableau 1 : Caractérisation de la transmission dans les interconnexions RF sans fil sur MCM.

Dans ces deux configurations, la moins satisfaisante s'avère être la configuration "Off set" à la fréquence de 20 GHz avec un gain de -39,5 dB. Dans la littérature [Réf4], le meilleur résultat trouvé en transmission pour des interconnexions intra-puces est de -54 dB pour une séparation inférieure à 1 cm (figure 7). Ceci nous autorise à conclure à la faisabilité de notre solution. En effet, l'amélioration de la transmission entre antennes nous permet de diminuer au maximum la puissance délivrée au niveau de l'antenne d'émission. Ceci permet alors de réduire sensiblement l'effet des interférences électromagnétiques sur les interconnexions métalliques du circuit [P10].

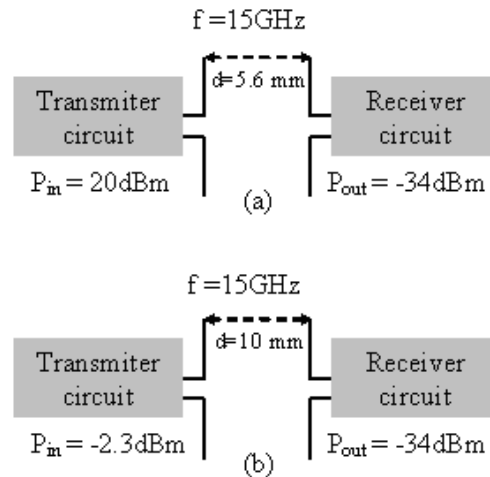


Figure 7 : (a) Bilan de liaison dans la solution de Floyd et. al. [Réf4]. (b) Amélioration du bilan de liaison dans notre solution [P10].

En effet, pour étudier ces interférences entre antenne d'émission et lignes d'interconnexions dans le MCM, nous utilisons le simulateur CST- Microwave studio. Le principe de la simulation consiste à exciter l'antenne d'émission et mesurer les paramètres S , exprimant le couplage entre l'antenne et les deux extrémités de la ligne (figure 8). Dans cette étude les lignes victimes sont des lignes microrubans enterrées (MST) et des lignes microrubans couplées (CMST). Elles ont une impédance caractéristique de $50\ \Omega$.

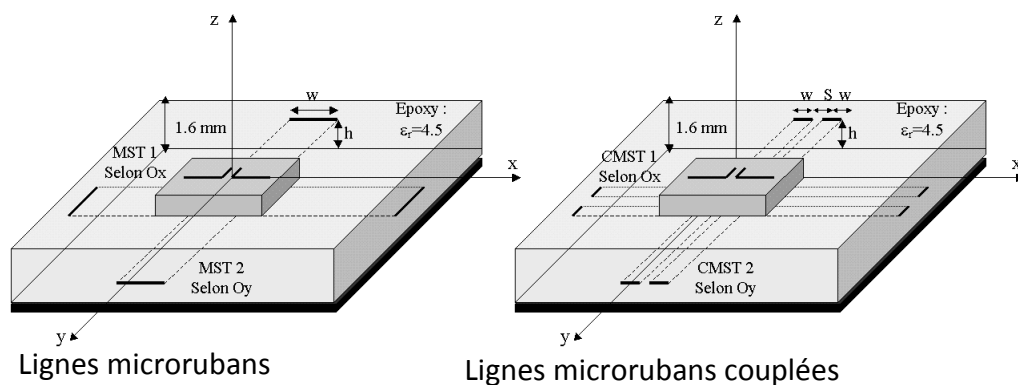


Figure 8 : Structures des MCM considérées dans les simulations du couplage électromagnétique.

Les interférences entre antenne et lignes sont étudiées pour deux orientations principales de la ligne victime par rapport aux deux bras du dipôle :

- Le cas où les lignes sont parallèles aux bras de l'antenne, c'est le cas des lignes MST1 et CMST1 sur la figure 8.

- Le cas où les lignes sont perpendiculaires aux bras du dipôle, c'est le cas des lignes MST2 et CMST2 sur la figure 8.

Nous remarquons, des résultats de la Figure 9, des effets différents selon la configuration et l'orientation de la ligne. Dans le cas de la ligne microruban, avec une orientation parallèle au dipôle le couplage est plus important que celui observé avec une orientation perpendiculaire (couplage quasiment nul) [P10]. Le couplage dans ce cas de figure est à prédominance magnétique. Dans le cas des lignes couplées, l'effet inverse est observé et le couplage est plutôt de type électrique [P10]. Ces résultats ont été obtenus pour des lignes enterrées juste en dessous du dipôle. Pour des lignes décalées, situées à la même hauteur, le couplage trouvé a été plus faible.

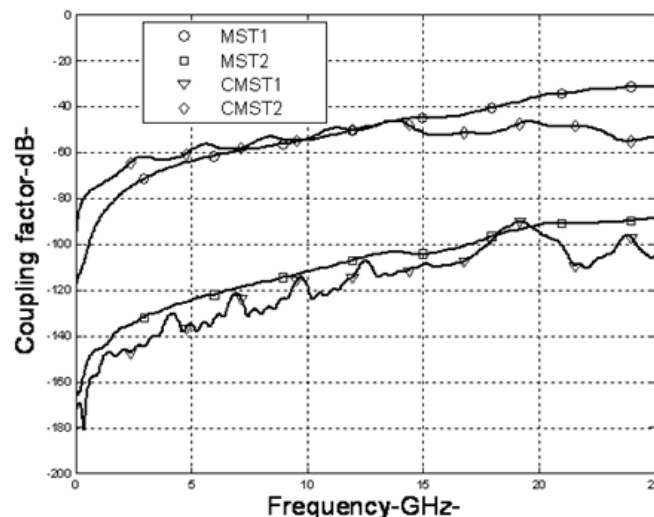


Figure 9 : Couplage entre antenne et lignes d'interconnexions enterrées.

Dans la majorité des configurations étudiées, le couplage parasite est resté de l'ordre de -40 dB. Si nous considérons l'antenne d'émission excitée par une puissance de l'ordre de -10 dBm, nous nous retrouvons avec des puissances parasites dans les lignes victimes de l'ordre de -50 dBm ce qui correspond à des tensions induites de quelques millivolt pour des lignes 50 Ω . Ces niveaux restent suffisamment faibles pour provoquer des commutations parasites dans des circuits numériques ce qui est un autre point positif de la solution proposée.

I.3. Rapports et publications liés aux travaux sur les interconnexions RF sans fil

Rapports	Travaux en cours	Publications internationales	Conférences internationales	Conférences nationales
[T1]		[P10]	[CI3], [CI12], [CI13], [CI14], [CI15], [CI18]	[CN5], [CN6]

II. REALISATION ET CALIBRAGE DE SONDES POUR LES MESURES EN CHAMP PROCHE

II.1. Introduction

Afin de caractériser les émissions électromagnétiques rayonnées par des circuits et des systèmes électroniques, l'IRSEEM a mis en place un banc de mesure champ proche basé sur la méthode directe [Réf9]. Dans cette méthode, les champs proches électromagnétiques peuvent être mesurés à l'aide d'un récepteur (analyseur de réseau ou un analyseur de spectre) et d'une petite antenne de réception appelée sonde. Cette dernière peut se déplacer au-dessus du dispositif sous test (DUT : Device Under Test) à l'aide d'un robot à trois axes cartésiens et à deux rotations [Réf10], [Réf11]. Les travaux présentés dans cette partie concernent la conception, la réalisation et le calibrage des sondes utilisées pour la mesure du champ électrique [Th1].

II.2. Travaux réalisés et principaux résultats

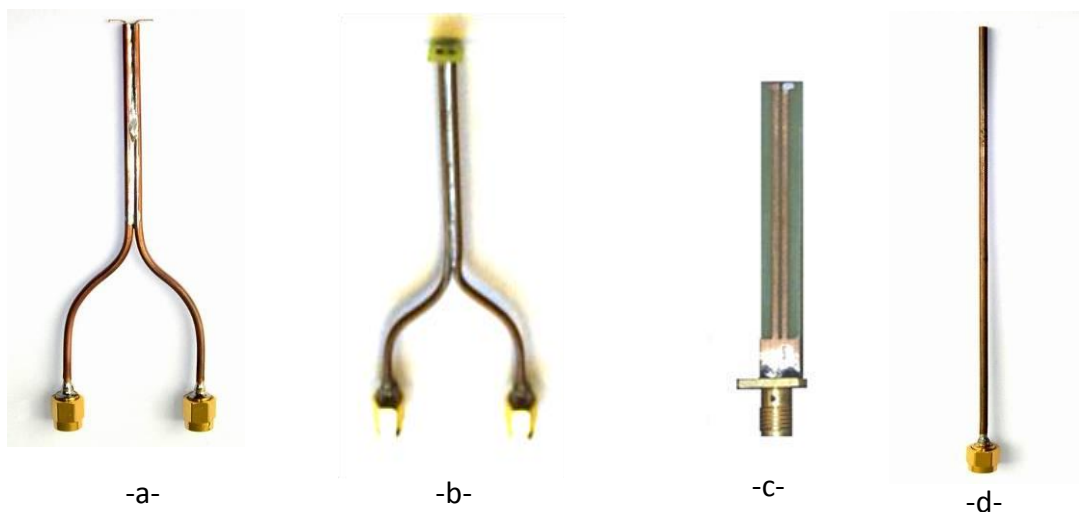


Figure 10 : Sondes électriques de types dipôles et monopole.

Les performances des bancs de mesure champ proche sont largement tributaires des performances des sondes utilisées. En effet, ces sondes doivent permettre de mesurer les vrais profils (critère qualitative) et les vrais niveaux (critère quantitative) des composantes du champ électromagnétique rayonné par le DUT. Dans le cas contraire, nous serons souvent amenés à développer des techniques de post traitement afin de corriger l'influence

de la sonde sur la mesure. Nous avons proposé, dans nos travaux, différentes configurations de sondes électriques : les dipôles filaires (figure 10-a-), les dipôles imprimés sur substrat diélectrique (figure 10-b-), les dipôles en technologie microruban (figure 10-c-) et les monopoles (figure 10-d-). D'autres sondes de types magnétique et mixte ont également été proposées dans ces travaux, mais ne seront pas présentées dans ce rapport [Th1].

II.2.1. Caractéristiques des sondes de type dipôle électrique

La longueur des dipôles doit être très inférieure à la longueur d'onde ($L \sim \lambda/10$) afin d'une part de ne pas modifier l'environnement électromagnétique du DUT et, d'autre part de mesurer le vrai profil du champ rayonné. En effet, d'après la théorie des dipôles, nous savons que la tension induite par un champ électrique est le résultat d'une intégration du champ tangentiel tout le long des bras du dipôle. C'est cette intégration qui est responsable des décalages qu'on peut observer entre les profils mesuré et réel comme présenté sur la figure 11.

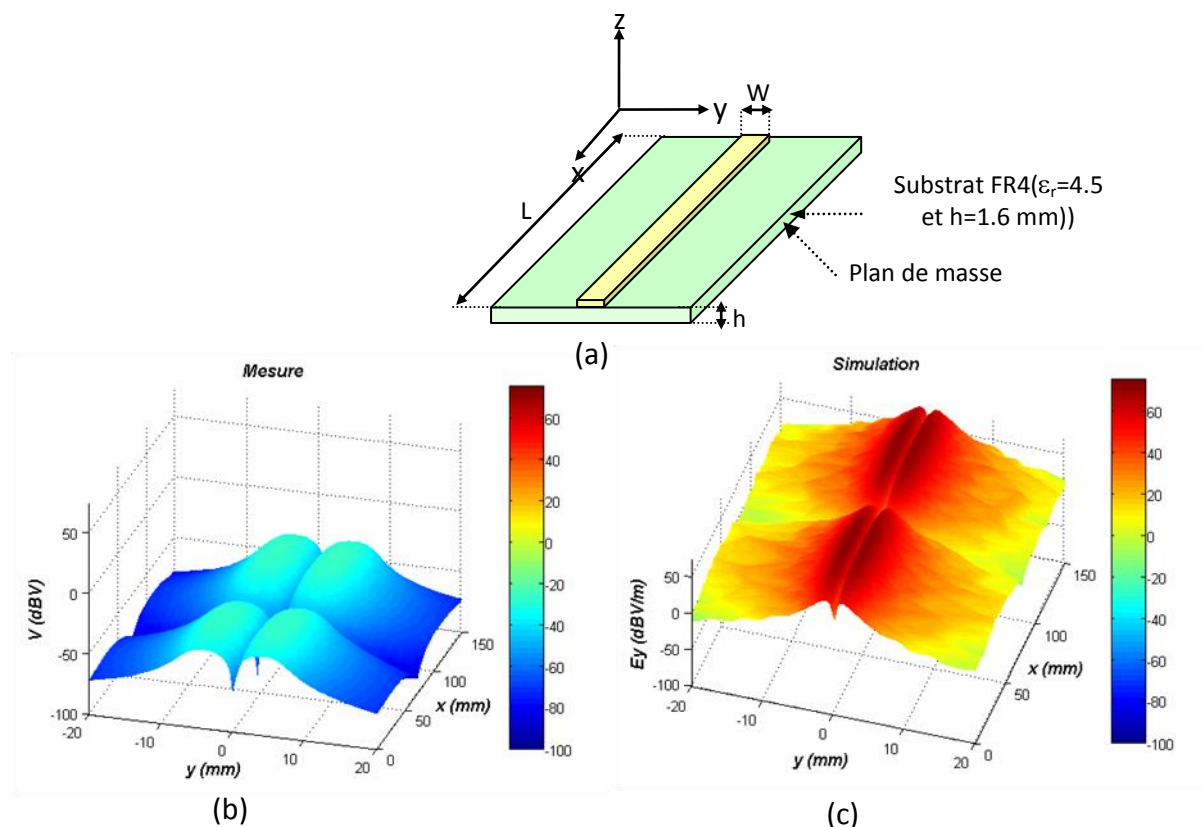


Figure 11 : Cartographies des champs électriques mesuré et simulé (réel) dans un plan situé à 1 mm au dessus d'une ligne microruban – sonde utilisée : dipôle linéaire de longueur 10 mm.

Sur cette même figure, nous pouvons constater en plus de la différence des profils, un décalage de niveau très important entre les deux cartographies. Ceci est principalement dû au facteur d'antenne de la sonde utilisée [P9], [Réf12]. Ce paramètre est le rapport entre le champ réel et la tension induite entre les deux brins du dipôle [Réf12]. Nous pouvons le calculer selon différentes méthodes et corriger ainsi l'erreur de niveau [P9]. En revanche, pour l'erreur de décalage de profils, nous sommes obligés de diminuer encore les dimensions de la sonde. Nos études ont montré qu'il est possible, pour ce type de sondes, d'avoir les mêmes profils pour une longueur totale (longueurs des brins + espacement entre brins) des dipôles $\leq$ à 4 mm. Nous avons alors réalisé une sonde de longueur totale 4 mm et, comme nous pouvons le constater sur la figure 12, nous avons une très bonne concordance entre les champs mesuré et réel.

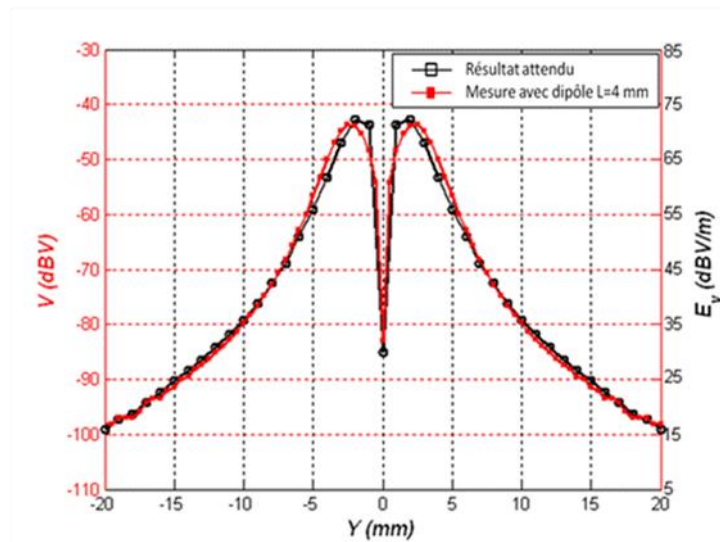


Figure 12 : Coupe du champ électrique à 1 mm au-dessus de la ligne microruban de la figure 11-a-.

Pour cette configuration de sondes, nous avons pu, en jouant sur la dimension, trouver la bonne sonde permettant d'éliminer l'erreur de profil. Dans certains cas, nous pouvons atteindre les limites technologiques de réalisation avant d'atteindre la miniaturisation souhaitée. Dans ce cas là, soit il faut changer de technologie (passage à une technologie planaire avec des substrats high-K par exemple), soit mettre en place des méthodes de post traitement bien adaptées afin de restituer les vrais profils de champs à partir des cartographies mesurées.

Par la suite, je développe la technique de post traitement que nous avons proposée dans le cas d'une sonde monopole.

II.2.2. Calibrage des sondes de type monopole

La sonde monopole utilisée est constituée d'un câble coaxial semi-rigide, lequel est coupé à ras d'un côté et connecté à un connecteur SMA de l'autre. Cette sonde permet la mesure des composantes normales du champ électrique E_z . Lors de son utilisation, nous étions confrontés aux mêmes limites évoquées précédemment. Sur la figure 13, nous pouvons remarquer la différence de profils et de niveau entre champ mesuré et champ simulé pour le même cas test évoqué précédemment.

La méthode de calibrage mise en place est fondée sur la décomposition en spectre d'ondes planes de la composante E_z du champ électrique [Réf13]. En effet, nous pouvons considérer que dans un plan parallèle au plan xy et situé à une hauteur z (le plan de mesure au dessus du DUT), le champ électrique pour chaque point appartenant à ce plan peut s'écrire comme une superposition d'ondes planes de mêmes fréquences et d'amplitudes différentes [Réf14]. Mathématiquement, ce concept s'exprime par l'équation (1). Cette équation peut également être généralisée au cas du champ magnétique [P7].

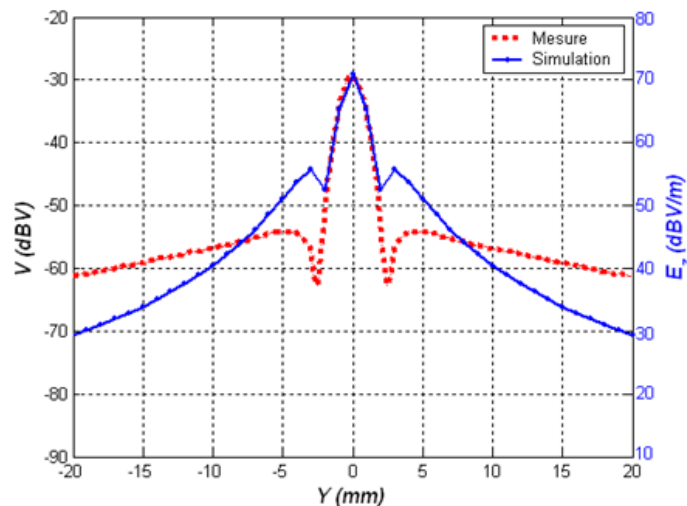


Figure 13 : Différence de profils et niveaux entre mesure et simulation de la composante normale du champ électrique au dessus d'une ligne microruban.

$$(1) \quad \vec{E}(x, y, z) = \frac{1}{4\pi^2} \int_{-\infty-\infty}^{+\infty+\infty} \int_{-\infty-\infty}^{+\infty+\infty} \left[\vec{F}(k_x, k_y) e^{-jk_z z} \right] e^{-j(k_x x + k_y y)} dk_x dk_y$$

$\vec{F}(\vec{k})$ étant le spectre d'ondes planes et s'obtient par transformation inverse :

$$(2) \quad \left[\vec{F}(k_x, k_y) e^{-jk_z z} \right] = \int_{-\infty-\infty}^{+\infty+\infty} \int_{-\infty-\infty}^{+\infty+\infty} \vec{E}(x, y, z) e^{j(k_x x + k_y y)} dx dy$$

L'intérêt majeur de cette approche est la caractéristique de translation du spectre entre deux hauteurs différentes. En effet, si nous avons le spectre à un plan de référence, nous pouvons facilement l'obtenir à n'importe quel autre plan éloigné de z en multipliant par le terme $e^{-jk_z z}$ (figure 14). Cette dernière propriété a été notamment exploitée pour la transformation champ proche/champ lointain dans le domaine des antennes [Mast4]. Nous avons démontré également son utilité en CEM et notamment le gain de temps qu'elle peut procurer en réduisant le nombre de plans et de composantes mesurés [P7].

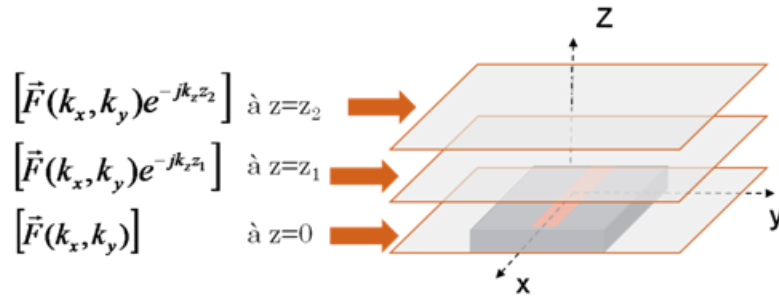


Figure 14 : Propriété de translation du spectre d'ondes planes.

En pratique, si nous désignons par $\left[\vec{F}(k_x, k_y) e^{-jk_z z} \right]$ le spectre du champ réel à une hauteur z au dessus du DUT, le champ mesuré par le banc champ proche peut se mettre sous la forme suivante :

$$(3) \quad \vec{E}(x, y, z) = \frac{1}{4\pi^2} \int_{-\infty-\infty}^{+\infty+\infty} \int_{-\infty-\infty}^{+\infty+\infty} \left[\vec{F}(k_x, k_y) e^{-jk_z z} \right] S(k_x, k_y) e^{-j(k_x x + k_y y)} dk_x dk_y$$

On introduit dans cette équation la fonction $S(k_x, k_y)$ qui représente le spectre de la fonction de transfert de la sonde de mesure. La méthode mise en place pour l'extraction de cette fonction est basée sur l'utilisation d'un dispositif de référence rayonnant un champ théorique connu ou facilement simulable par un simulateur électromagnétique. Ce dispositif est ensuite mesuré à une hauteur donnée et ses deux spectres, théorique (ou simulé) et

mesuré, sont calculés par une routine développée sous Matlab. En faisant le rapport du spectre mesuré par le spectre théorique (ou simulé), nous trouvons d'abord le spectre de la fonction de transfert de la sonde et ensuite, par transformation inverse, nous déterminons cette fonction dans le domaine spatial. Si on applique ce principe sur les données de la figure 13, nous trouvons la fonction de transfert de la sonde monopole qui est présentée sur la figure 15. Cette fonction est utilisée en post traitement des mesures champ proche d'autres dispositifs.

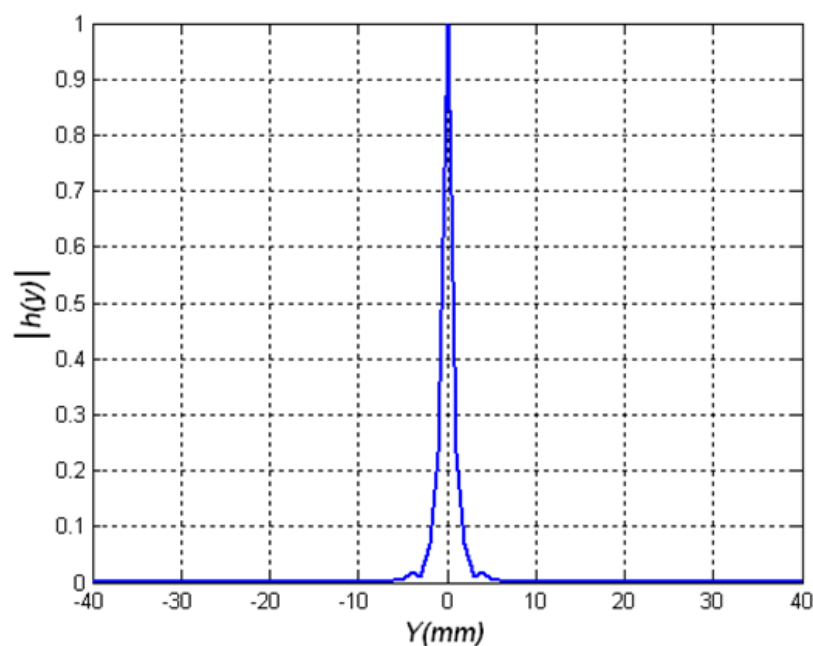


Figure 15 : Fonction de transfert de la sonde monopole.

Elle permet ainsi de corriger les mesures faites avec la sonde monopole sur d'autres dispositifs. Sur la figure 16, nous montrons un exemple de cette correction appliquée au cas d'un coupleur hybride 90°. Une bonne concordance est observée pour deux coupes situées à deux endroits différents de l'hybride (a-a et b-b).

Nous avons appliqué cette technique de correction également au cas des sondes dipôles. Les résultats trouvés sont très satisfaisants et permettent facilement les corrections pour des cartographies et des coupes des champs électriques mesurés [P1].

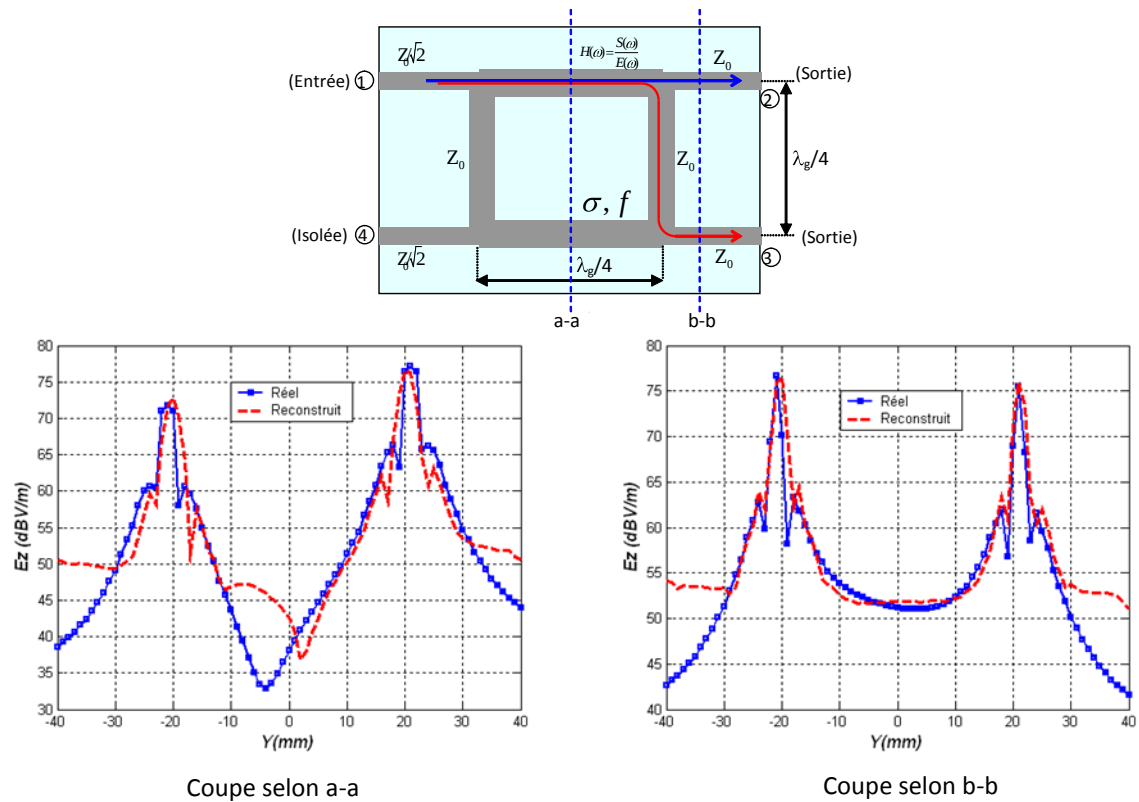


Figure 16 : Correction des mesures de la composante normale du champ électrique rayonné par un hybride 90°.

II.3. Rapports et publications liés aux travaux sur le champ proche

Rapports	Travaux en cours	Publications internationales	Conférences internationales	Conférences nationales
[Th1], [Mast4], [S4]		[P1], [P7], [P9]		

III. **CEM DES COMPOSANTS ELECTRONIQUES – IMMUNITE CONDUITE**

La CEM des composants [Réf15] est l'une des trois thématiques couvertes par les activités du pôle E&S de l'IRSEEM. Cette thématique a été lancée en 2004 et a pour principal objectif de développer des modèles, CEM des composants, susceptibles d'être intégrés dans des plates-formes de simulation. L'activité couvre les différents aspects de la CEM des composants électroniques qui peut se scinder en deux axes : l'émission et l'immunité (susceptibilité) (figure 17).

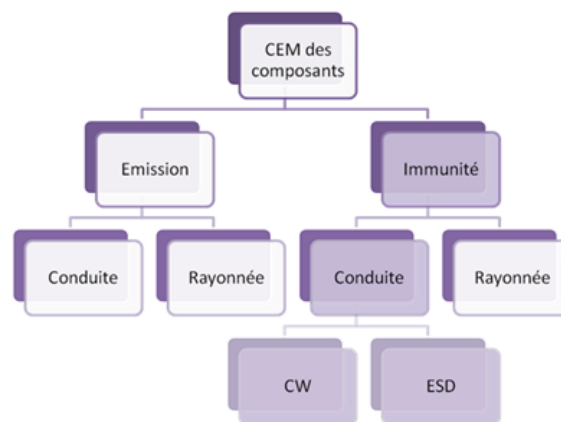


Figure 17 : Organigramme représentant les différentes branches de la CEM des composants.

Cette activité a démarré avec le programme de recherche intitulé « CEM des composants », lancé dans le cadre de la filière Haute Normandie AéroEspace et en partenariat avec Thales Air Systems. J'ai été chargé par le directeur de l'IRSEEM, M. B. MAZARI, du développement et du suivi de la thématique "Immunité Conduite", englobant aussi bien la partie CW (Continuous Wave) que la partie décharge électrostatique (ESD).

Comme évoqué précédemment dans ce document, les performances des circuits électroniques sont en constante évolution notamment en termes de fréquences de travail et de densité d'intégration. En plus de ces deux paramètres, une réduction des tensions d'alimentation est observée en passant d'une génération technologique à l'autre ce qui réduit sensiblement les marges de bruit de ces composants. Cela n'est pas sans conséquences sur l'immunité des composants électroniques face aux perturbations électromagnétiques de nature continue ou transitoire. Pour un intégrateur, la prise en

compte de ces phénomènes dès la phase de conception des circuits et systèmes électroniques, nécessite des modèles d'immunité fiables permettant des simulations CEM à l'échelle d'un circuit voire d'un système. Après le succès des modèles ICEM (IEC 62433-2 [Réf16] et IEC 62433-3 [Réf17]), dédiés aux émissions, tous les efforts dans le domaine de la CEM des composants sont centrés depuis quelques années sur les modèles d'immunité. C'est dans ce contexte que s'inscrivaient les travaux présentés dans cette partie. Ils sont divisés en deux parties :

- Immunité conduite face à des agressions de type CW.
- Immunité conduite face à des décharges électrostatiques ESD.

III.1. Immunité conduite des circuits intégrés face à des perturbations continues CW (Continuous-Wave)

L'objectif principal de l'étude est la création d'un modèle d'immunité conduite précis et capable de décrire le comportement du circuit face à des perturbations électromagnétiques continues (CW). Ceci permettra de créer une bibliothèque de composants afin de réaliser des simulations globales et ainsi prédire l'immunité au niveau carte électronique ou même au niveau système, dès l'étape de conception.

La méthode de modélisation proposée dans nos travaux repose entièrement sur une caractérisation préalable de la susceptibilité de la broche sous test par application de la méthode DPI (Direct Power Injection) [Réf18]. Une attention particulière a été accordée dans ces travaux à la mise en place du banc de mesure DPI.

III.1.1. Banc de caractérisation DPI de l'IRSEEM et ses spécificités

L'exactitude des mesures de susceptibilité est cruciale, notamment lorsque nous cherchons à construire un modèle de susceptibilité efficace qu'il soit fonctionnel ou comportemental. Pour cela, nous avons développé à l'IRSEEM un banc de mesure dont le principe repose entièrement sur la méthode d'injection directe de puissance (DPI) décrite dans la norme IEC 62132-4 [Réf18]. Les signaux RF générés sont notamment des signaux à onde entretenue ou CW. La figure 18 présente l'ensemble des appareils de mesure et de contrôle mis en œuvre lors des tests de susceptibilité conduite.

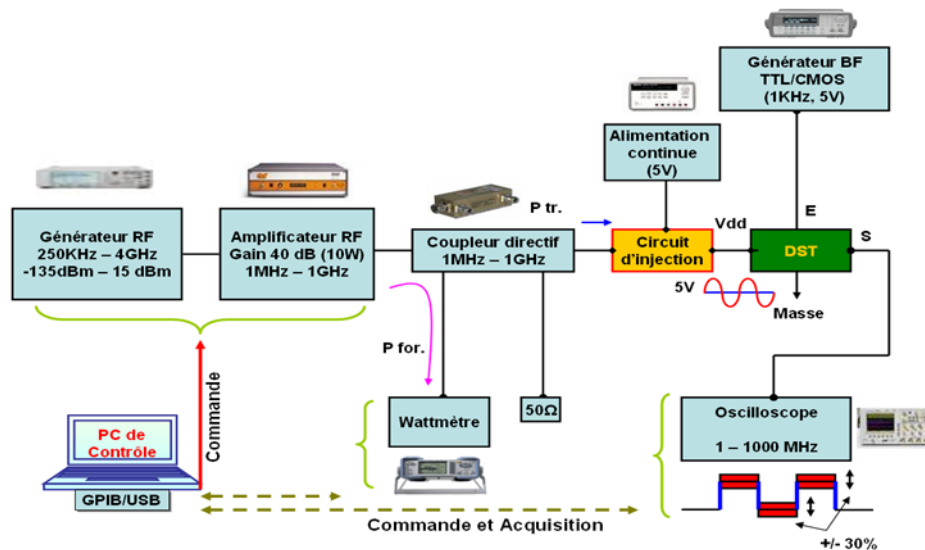


Figure 18 : Synoptique du banc d'injection directe de l'IRSEEM/ESIGELEC.

Le banc de mesure peut être divisé en trois grandes parties. La première partie est la génération de la perturbation RF. Elle est constituée des équipements suivants :

- ✓ un générateur RF (250 KHz - 4 GHz et $P_{max}=15$ dBm).
- ✓ un amplificateur de puissance RF (Gain max=40 dB), 1 MHz–1 GHz, P_{out} max 10 W (un autre amplificateur de puissance maximale de 50 W a été souvent utilisé pour les circuits avec de fortes immunités conduites).
- ✓ un coupleur bi-directif (1 MHz – 1 GHz, couplage de 40 dB sur les voies incidentes et réfléchies).
- ✓ un wattmètre (avec une sonde intégrée : -70 dBm – 23 dBm).
- ✓ une alimentation DC.
- ✓ le prototype d'injection 1 MHz – 1 GHz pour mélanger la composante continue au signal perturbateur RF (dans certains cas ce prototype est remplacé par un bias tee).
- ✓ les connecteurs ainsi que les câbles coaxiaux.

La seconde partie concerne la génération de signaux fonctionnels. L'objectif est de placer le dispositif sous test dans les mêmes conditions que celles qu'il peut rencontrer dans le cadre d'une application donnée. La troisième et dernière partie est liée au contrôle en temps réel

du comportement du circuit sous test. Elle est constituée d'un oscilloscope 4 voies large bande [1 MHz – 1 GHz] associé à une carte d'acquisition GPIB-USB. L'ensemble de ces équipements est contrôlé par un PC via un programme développé en labwindows CVI. Ce programme permet le pilotage de tous les appareils de mesure et applique des tests basés sur l'algorithme DPI représenté sur la figure 19.

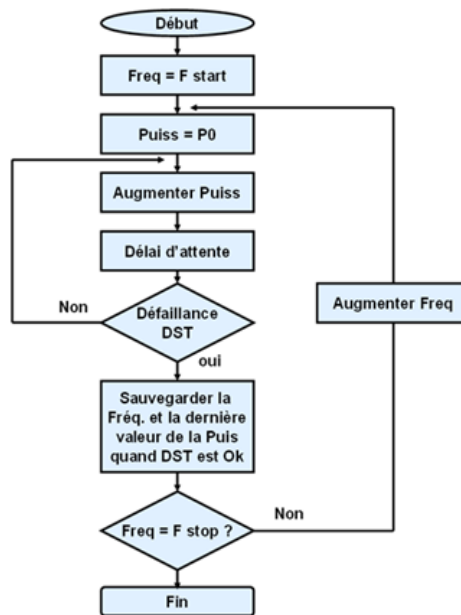


Figure 19 : Algorithme DPI implanté dans le programme de pilotage du banc DPI.

Cet algorithme permet l'extraction de la courbe de susceptibilité de la broche du circuit soumise au test DPI. La défaillance du DST est observée en sortie via l'oscilloscope en fonction d'un critère basé sur la déviation de l'amplitude et de la phase du signal de sortie sans perturbation. Ce dernier est pris comme référence et un gabarit lui est appliqué spécifiant les tolérances en amplitude et en phase. Si sous une perturbation donnée, le signal de sortie sort de ce gabarit, le circuit a alors subi une défaillance. La courbe de susceptibilité consiste à relever pour chaque fréquence, la puissance de perturbation responsable de cette défaillance.

Tel que nous l'avons développé, le banc DPI de l'IRSSEM présente quelques spécificités. Les plus importantes sont les deux suivantes :

III.1.1.1. Correction de la courbe de réponse de l'oscilloscope

L'oscilloscope utilisé a une bande passante allant jusqu'à 1 GHz. A cette fréquence, il présente une atténuation d'environ 3 dB. Il en résulte que la réponse de l'oscilloscope n'est pas linéaire sur toute la bande DPI. Son influence est donc non négligeable sur la mesure. Pour cela nous avons caractérisé l'oscilloscope afin d'obtenir sa fonction de transfert. A partir de cette dernière, nous avons calculé une fonction correctrice qui n'est rien d'autre que l'inverse de cette fonction de transfert. Elle est implémentée dans le code et sert à corriger les mesures afin de s'affranchir de la réponse de l'oscilloscope.

III.1.1.2. Nouveau circuit d'injection

La deuxième spécificité du banc DPI de l'IRSEEM concerne le circuit d'injection présenté sur la figure 20.

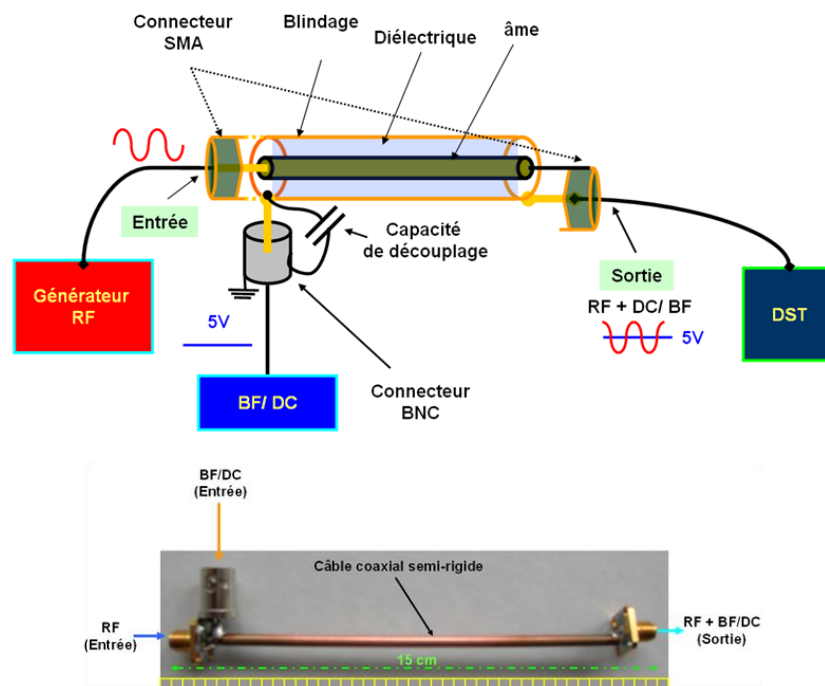


Figure 20 : Prototype et photo du circuit d'injection proposé pour le banc DPI de l'IRSEEM.

Dans la méthode DPI, nous utilisons classiquement une capacité d'injection d'une valeur comprise entre 1 et 10 nF pour coupler la perturbation à la broche sous test. Si l'agression est faite sur une broche d'alimentation par exemple, nous utilisons également des selfs de choc afin d'isoler la perturbation RF du signal DC. Le circuit d'injection que nous proposons sur le banc de l'IRSEEM est une sorte de "Bias Tee" réalisé à partir d'un simple câble coaxial

comme présenté sur la Figure 20. En effet, nous utilisons la transconductance du câble coaxial afin de séparer les composantes RF et DC. Ce circuit présente de faibles pertes sur toute la bande DPI (<à 1dB), ce qui assure sa complète transparence dans la chaîne de mesure [P11].

III.1.2. Modèle d'immunité proposé basé sur les réseaux de neurones

Le modèle d'immunité que nous avons proposé est basé sur l'utilisation des réseaux de neurones afin d'extraire la fonction de transfert du circuit testé en présence de perturbations à l'entrée [P8]. La procédure de modélisation se déroule en 4 étapes :

- Expérimentations par application de la méthode DPI.
- Traitement et classification des données.
- Approximation par approche neuronale et extraction de la fonction mathématique.
- Implémentation du modèle neuronal sous un logiciel de simulation type ADS.

La première étape repose principalement sur l'utilisation de la caractérisation DPI avec un algorithme légèrement modifié. En effet, au lieu de s'arrêter sur une puissance pour laquelle on provoque une défaillance selon un critère donnée, on fait toutes les puissances jusqu'à atteindre la puissance limite préconisée dans la méthode DPI. Ceci nous permet de recueillir un grand nombre de données et de pouvoir ainsi mieux modéliser notre composant. Pour chaque perturbation à l'entrée, l'amplitude de la perturbation en sortie est relevée à l'oscilloscope. Ces données sont ensuite classifiées dans des tableaux afin d'être utilisées dans la phase d'apprentissage. La structure du réseau de neurones utilisée est de type perceptron à trois couches : une d'entrée, une cachée et une de sortie. Nous avons validé cette approche dans le cas d'un inverseur CMOS à cinq broches, en modélisant la broche d'alimentation V_{cc} et la broche d'entrée comme présenté sur la figure 21. Une fois les paramètres du réseau déterminés et la convergence atteinte, nous pouvons simuler la réponse du circuit à des perturbations CW de différentes fréquences et puissances.

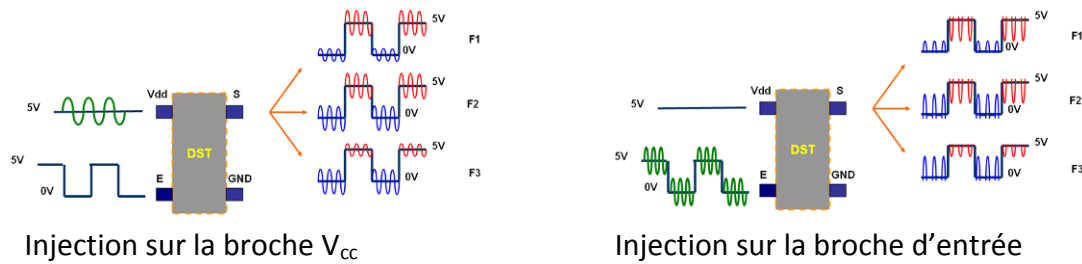


Figure 21 : Les deux configurations, de l'inverseur CMOS, utilisées pour la validation du modèle.

Sur la Figure 22, nous présentons une comparaison entre les résultats de mesure et de simulation. Sur cette courbe, chaque période du signal de sortie correspond à la réponse du circuit à une puissance d'entrée donnée. Dans la représentation, nous avons simplement considéré une seule période du signal de sortie autour de l'état haut. Il convient de constater que les résultats du modèle sont en parfaite concordance avec les résultats de mesure.

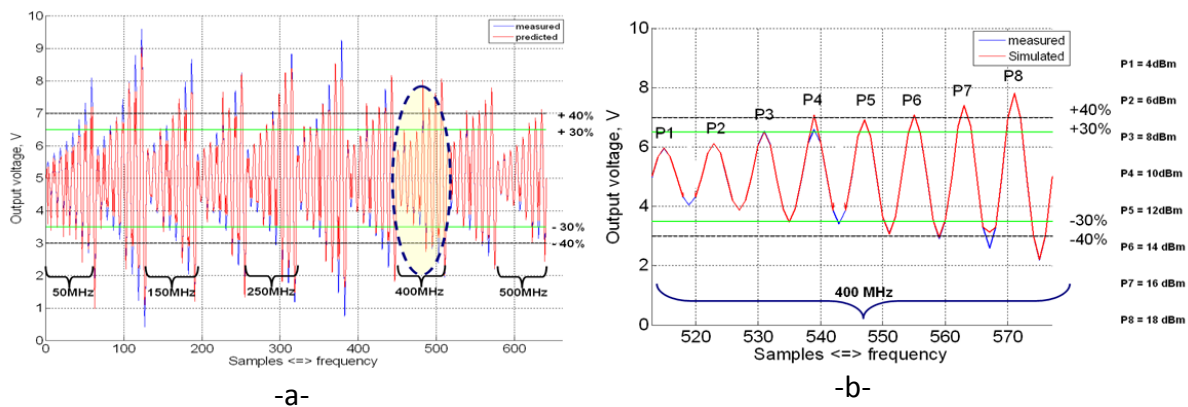


Figure 22 : -a- Comparaison mesure et simulation autour du niveau logique haut sur la bande [50 - 500] MHz, -b- Zoom sur la fréquence de 400 MHz.

Ces premiers résultats montraient bien les performances du modèle neuronal proposé. Ce modèle est unique et présente un aspect innovant qui le démarque d'autres procédés de modélisation.

Cependant, pour ces premiers résultats, et afin d'assurer une bonne convergence, il nous a fallu utiliser plus de 1000 neurones par réseau. Ceci constitue une contrainte de taille quant à l'extraction de la fonction de transfert. Afin de remédier à cette limite, nous avons optimisé l'algorithme d'apprentissage pour répondre aux problèmes de sur-apprentissage et

sur-paramétrisation. Nous arrivons désormais à modéliser l'immunité conduite des circuits avec uniquement une vingtaine de neurones, tout en gardant les mêmes précisions [Th4],[CN1].

Ces travaux autour de l'optimisation du modèle neuronal, présenté dans la section précédente, ont été réalisés dans le cadre du projet EPEA et plus particulièrement dans le WP1 portant sur la création de modèles génériques de l'immunité des composants électroniques (cf. A1.V.1.3).

III.1.3. Modèle d'immunité basé sur une approche paramètres [S]

Nous nous sommes intéressés dans nos travaux de modélisation de l'immunité conduite à une deuxième approche, de type circuit, inspirée principalement des travaux présentés dans la littérature [Réf19]. L'approche a été testée dans le cadre du projet EPEA-WP1 sur deux circuits intégrés : le transceiver de bus CAN (TLE6250G) et le régulateur de tension (NCV4949). Les deux composants sont dans des boîtiers SOIC de 8 broches. Des pieds de test adaptés aux essais DPI ont été réalisés (figure 23-a-) en mettant les deux circuits dans les configurations représentées sur la figure 23-b-.

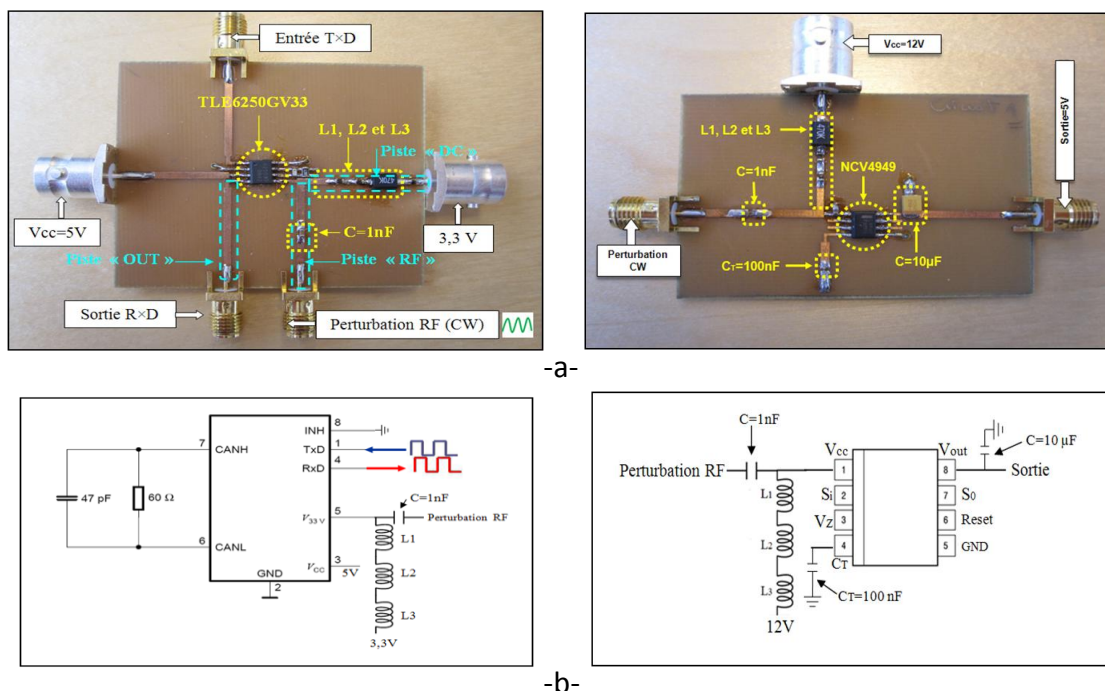


Figure 23 : -a- Photos des pieds de test des circuits TLE6250G et NCV4949. -b- Câblage des deux circuits.

Pour réaliser les essais DPI, un "bias tee" a été rajouté sur la carte afin de découpler la polarisation DC des perturbations RF (figure 23). Ces dernières sont injectées sur les circuits à travers une capacité de 1 nF. Elles sont découplées du signal DC par trois inductances en série présentant une impédance totale supérieure à 1 k Ω sur toute la bande de fréquence des essais DPI [Réf19].

La deuxième méthode de modélisation que nous présentons dans cette partie est complémentaire à celle basée sur l'utilisation des réseaux de neurones présentée dans la partie précédente. En effet, quand un circuit subit une perturbation CW conduite, celle-ci agit sur la sortie de deux manières distinctes (figure 24):

- En se superposant sur les niveaux haut et bas des signaux numériques en sortie (bruit HF).
- En créant des variations des niveaux haut et bas et/ou en provoquant des phénomènes de jitter (décalage de phase) de ces signaux.

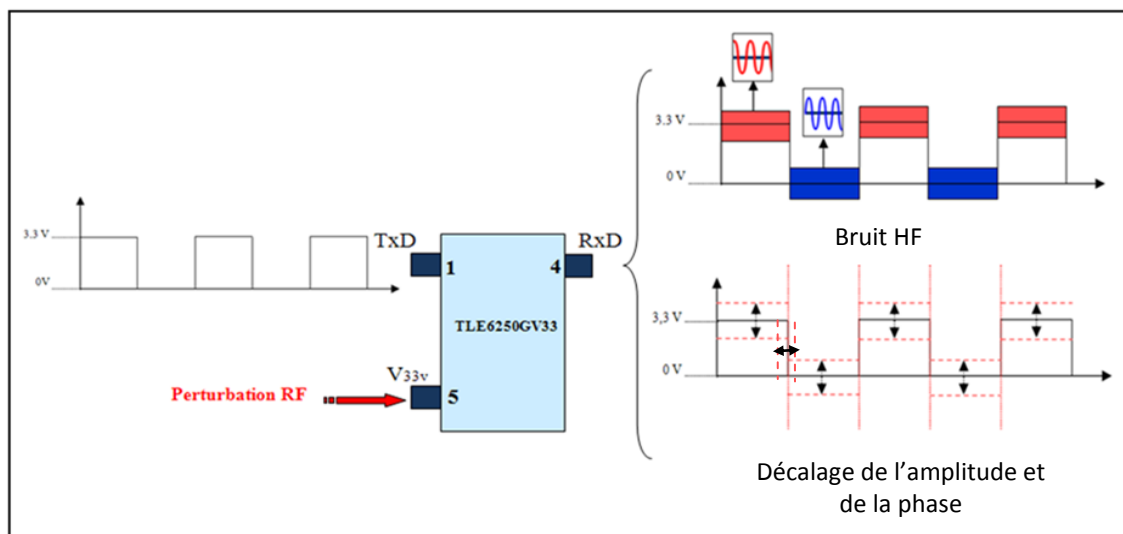


Figure 24 : Effet d'une perturbation RF sur la sortie d'un circuit intégré.

La complémentarité entre les deux méthodes de modélisation (neuronale et paramètres [S]) réside dans le fait que chacune modélise un des deux effets cités au-dessus. Ceci nous permet d'avoir une idée précise et surtout complète sur la réponse des circuits aux perturbations conduites.

III.1.3.1. Structure du modèle paramètres [S]

Plusieurs travaux, réalisés ces dernières années ([Réf20], [Réf21], [Réf22], [P8], [Réf23], [Réf24], [Réf25] et [Réf25]) ont contribué aux prémices d'un modèle d'immunité générique appelé ICIM-CI (Integrated Circuit Immunity Model – Conducted Immunity). Ce dernier est proposé par le groupe UTE (Union Technique de l'Electricité et de la Communication) pour une éventuelle standardisation [Réf26] à l'instar du modèle d'émission ICEM. La structure retenue pour ce modèle est présentée sur la figure 25-a-. Elle est composée d'un premier bloc appelé PDN (Passive Distribution Network) regroupant principalement les impédances du package, les fils de bonding et les interconnexions intra-puce. Ce bloc est considéré comme un chemin de couplage intervenant comme des fonctions de filtrage et distorsion sur la perturbation RF. Quant au deuxième bloc de cette structure, il est appelé IB (Internal Behaviour) et représente la réponse fréquentielle "in band" et "out of band" du circuit intégré.

Le modèle paramètres [S], que nous avons proposé, remplace le bloc PDN par un seul bloc représenté par les paramètres [S] du circuit. Cependant, le comportement en immunité du circuit représenté par le bloc IB sera décrit par une table "T" représentant les puissances actives causant la défaillance du circuit en fonction de la fréquence (figure 25-b-).

L'utilisation du modèle est basée sur la comparaison dans une simulation de type circuit, de la puissance transmise au niveau de l'entrée avec la table "T" qui est extraite à partir des courbes de susceptibilité mesurées. En effet, en simulant sous ADS le modèle complet du banc DPI et de la carte de test nous pouvons aisément déduire les puissances actives "T" à partir des résultats de mesure des puissances incidentes (courbe de susceptibilité mesurée).

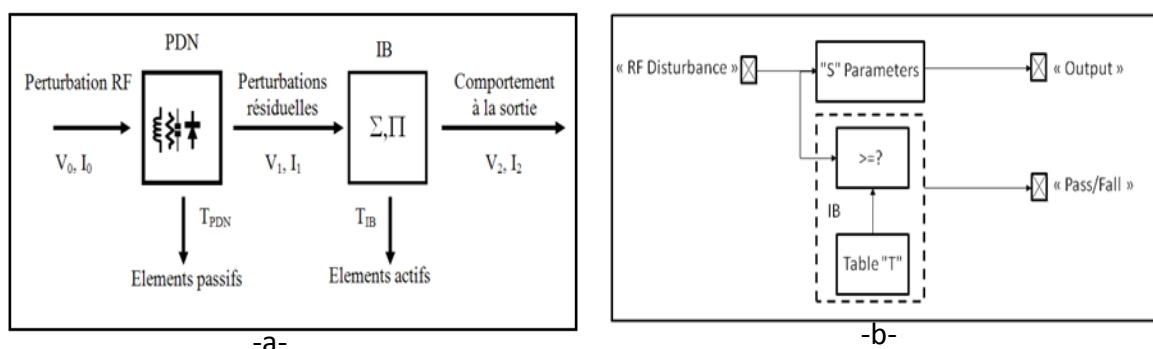


Figure 25 : -a- Synoptique du modèle ICIM-CI, -b- Synoptique et philosophie d'utilisation de notre modèle paramètres [S].

III.1.3.2. Extraction de la puissance active (transmise)

Après avoir modélisé chaque élément du banc DPI séparément, nous rassemblons les modèles élémentaires pour construire le modèle électrique global présenté sur la figure 26 .

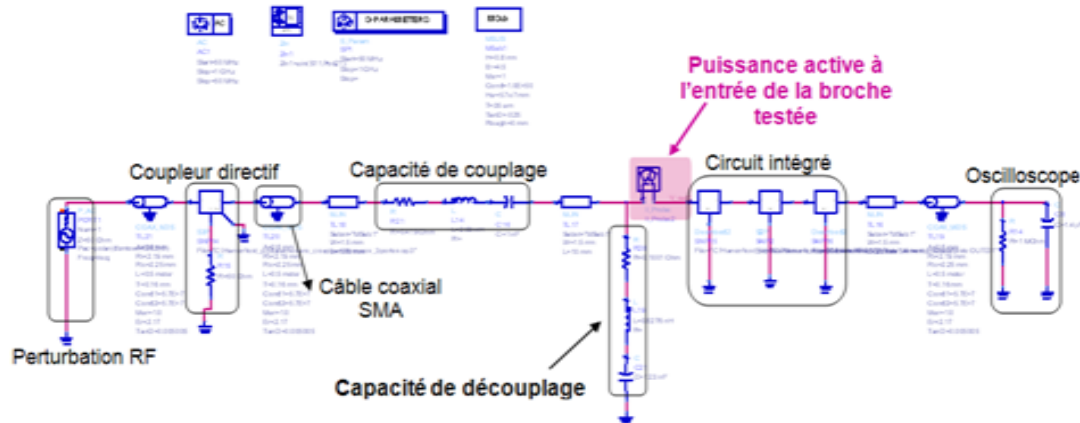


Figure 26 : Modèle global de la chaîne de mesure et du circuit implémenté sous ADS.

La simulation de ce modèle permet d'extraire les valeurs de la puissance active à partir de celles de la puissance incidente obtenues par mesure DPI et lues au niveau du wattmètre. Cette puissance est déduite en utilisant l'équation suivante :

$$(4) \quad P_{\text{active}} = 1/2 \times (U \cdot I + U \cdot I^*)$$

Dans ce modèle global, le circuit intégré est représenté par trois boîtes. La boîte centrale représentant les paramètres [S] mesurés entre l'entrée des perturbations RF et la sortie sur les cartes de la figure 23. Quant aux deux autres, elles sont utilisées pour réaliser un deembedding des paramètres [S] mesurés et ramener ainsi les plans de références au niveau du circuit intégré.

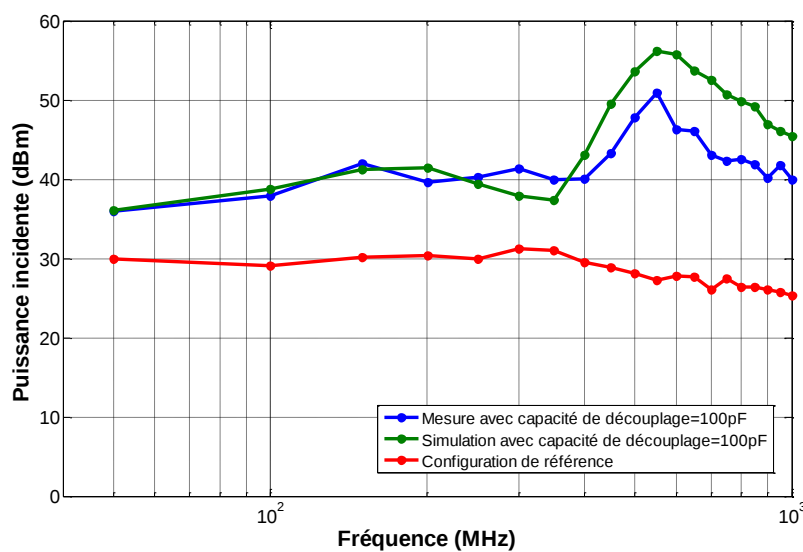
III.1.3.3. Validation du modèle

Pour valider le modèle composé des paramètres [S] et de la table "T" nous avons utilisé la procédure suivante :

- Premièrement nous avons modélisé les circuits intégrés dans une configuration dite de référence sur laquelle nous n'avons pas câblé la capacité de découplage de la figure 26. Ce modèle est composé des paramètres [S] et de la table T. Cette dernière représente les puissances transmises causant la défaillance du circuit en fonction de

la fréquence pour un critère de susceptibilité donné. Le critère retenu pour l'étude du régulateur de tension est la déviation de 30% des niveaux haut et/ou bas. Pour le transceiver de bus CAN il était plus difficile de définir le même critère avec des pourcentages donnés. Nous avons observé, une variation très importante à partir d'un certain niveau de puissance de la perturbation RF. C'est ce niveau qui a été retenu dans les courbes de susceptibilité.

- Deuxièmement nous câblons plusieurs capacités de découplage afin de valider le modèle sur d'autres configurations différentes de la configuration de référence.



Sur la

figure 27, nous représentons les courbes de susceptibilité dans le cas des configurations de référence et avec capacité de découplage de valeur 100 pF. Pour cette dernière configuration, nous représentons la mesure et la simulation de la susceptibilité par le modèle. Nous remarquons une bonne concordance entre la prévision du modèle et la courbe mesurée. La même constatation a été faite pour la capacité de valeur 10 nF.

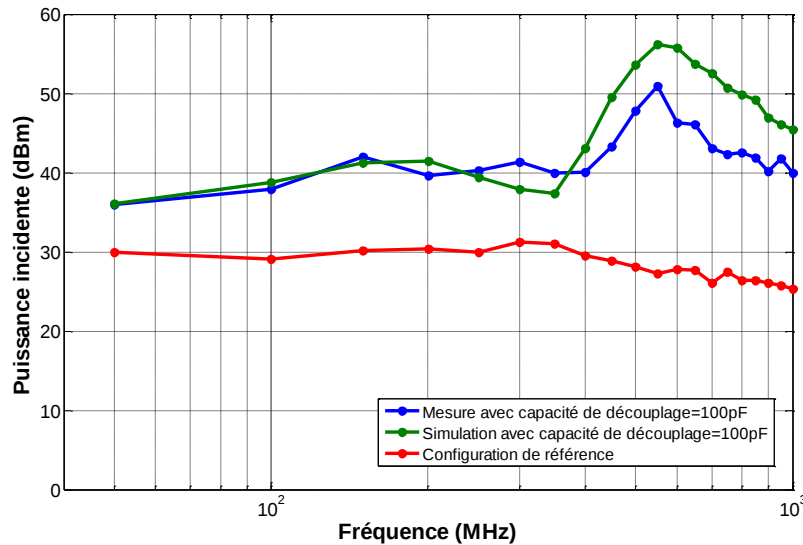
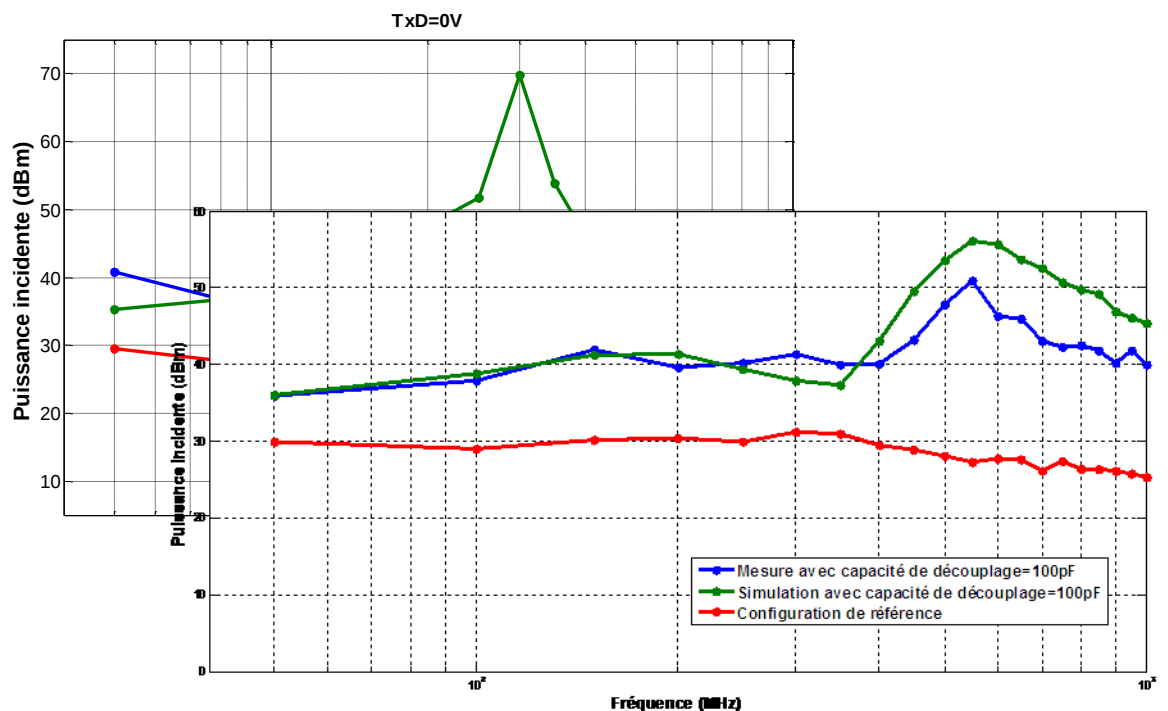
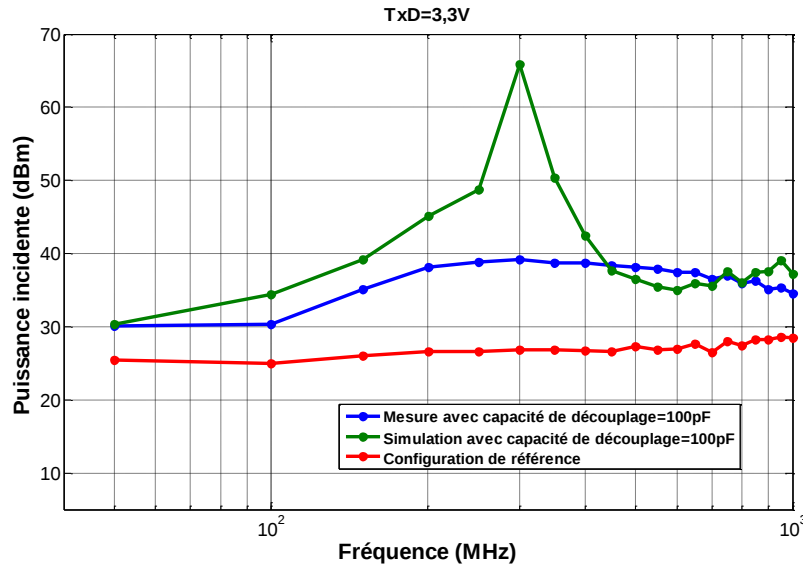


Figure 27 : Courbes de susceptibilité du NCV4949. Validation du modèle avec une capacité de découplage de 100 pF.

Dans le cas du TLE6250G, nous avons réalisé un modèle pour l'entrée TxD à 0 V et un modèle pour l'entrée TxD à 3,3 V. En effet, avec un signal carré à l'entrée il est difficile d'avoir des mesures stables des paramètres [S] d'où l'impossibilité de faire un seul modèle. Pour la configuration avec capacité de découplage de 100 pF nous avons comparé les courbes de susceptibilité mesurée et simulée sur la figure 28.





-b-

Figure 28 : Courbes de susceptibilité du TLE6250G. Validation du modèle avec une capacité de découplage de 100 pF : -a- TxD à 0 V, -b- TxD à 3,3 V (à droite).

Nous pouvons observer, sur cette figure, un bon accord entre la simulation et la mesure sauf autour de la fréquence de 300 MHz qui correspond à la fréquence de résonance de la capacité de 100 pF. A cette fréquence, nous nous sommes limités en mesure à une puissance perturbatrice de 40 dBm, sans atteindre la défaillance fonctionnelle, pour ne pas endommager le composant. Ceci explique en partie l'écart considérable observé entre simulation et mesure. Par conséquent nous pouvons qualifier les tendances obtenues par le modèle de très correctes sur l'ensemble de la bande.

III.1.3.4. Interprétations des résultats obtenues

Les résultats obtenus avec la procédure de modélisation « paramètres [S] » sont très satisfaisants. Il ressort qu'ils sont beaucoup plus précis dans le cas du NCV4949 que dans le cas du TLE 6250G. En effet, cela peut s'expliquer par la réponse ESD des deux circuits qui est présentée dans la prochaine partie de ce rapport. Il apparaît clairement que le phénomène "snapback" qui met en évidence le déclenchement des circuits de protection ESD et donc de phénomènes non linéaires est activé autour de tensions de 80 V pour le régulateur de tension et de 14 V pour le transceiver de bus CAN. Ceci peut expliquer les limites d'un modèle paramètre [S] (ne tenant pas compte des effets non linéaires) dans le cas d'un circuit

pour lequel les tests DPI contribuent à activer les non linéarités à travers les circuits de protection ESD.

III.2. Immunité conduite des circuits intégrés face à des décharges électrostatiques ESD (ElectroStatic Discharge)

III.2.1. Introduction

Ce travail de recherche s'est réalisé en partenariat avec l'équipe électronique et CEM de VALEO. Il consistait à modéliser la réponse des circuits intégrés (ICs) face à des décharges électrostatiques (ESD). Le modèle devait être simple et facilement implémentable dans les outils de conception et de simulation électrique de type SPICE ou ADS. L'intérêt d'un tel modèle est double :

- Pour un concepteur de circuits et de cartes électroniques, il est de tenir compte des contraintes CEM, dès l'étape de conception, et réduire ainsi les temps et les coûts de développements de nouveaux produits.
- Pour les fabricants de circuits intégrés, l'intérêt est de dimensionner les circuits de protections ESD, implantés dans les circuits intégrés, en fonction de la réponse souhaitée [Réf27].

Le modèle que nous avons proposé est basé sur l'utilisation de composants standards pour modéliser le ggnMOS (grounded gate N-type MOSFET) qui est l'élément de base dans la protection ESD des circuits intégrés [Réf28]. Pour compléter le modèle proposé, le cœur du circuit intégré ainsi que son package sont modélisés par une impédance équivalente, à l'instar de ce qui est proposé dans le modèle ICEM (Integrated Circuit Emission Model). Le modèle est facile d'implémentation dans les outils de simulation électrique de type SPICE et permet d'effectuer des simulations rapides sans problèmes de convergence.

III.2.2. Structure du modèle proposé

Comme décrit précédemment, le modèle remplace le circuit sous test par un circuit de protection ESD associé à l'impédance équivalente du cœur et du package (figure 29).

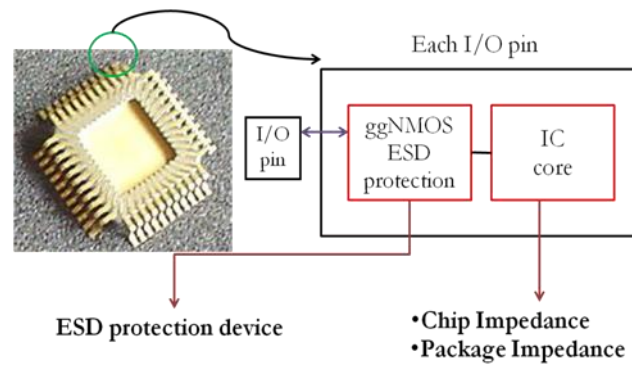


Figure 29 : Structure simplifiée du modèle ESD d'un circuit intégré.

Dans notre modèle, l'organe de protection ESD est modélisé par trois composants :

- Un NMOS représenté par son modèle BSIM3V3.2 [Réf29],
- Un transistor bipolaire représenté par son modèle Mextram [Réf30],
- Une résistance de substrat R_{sub} .

Sur la figure 30, nous présentons la disposition des différents éléments constituant le modèle. Le courant de substrat I_{sub} est modélisé d'une part par le courant du substrat dans le modèle BSIM3V3.2 et d'autre part par le courant d'avalanche modélisé dans MEXTRAM. Ceci est une autre spécificité de notre modèle, lequel n'utilise aucune source de courant supplémentaire contrairement à d'autres présentés dans la littérature ([Réf31], [Réf32] et [Réf33]).

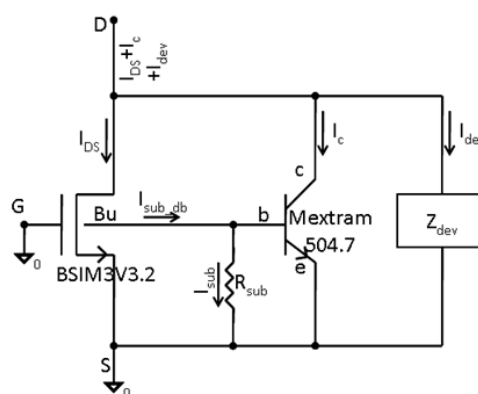


Figure 30 : Modèle SPICE pour simulations du phénomène ESD snapback.

III.2.3. Procédure d'extraction des paramètres du modèle

Pour extraire les différents paramètres constituant le modèle, une étape de caractérisation ESD est d'abord réalisée afin de mesurer la caractéristique $I(V)$ de la broche testée. En effet, c'est cette caractéristique qui présente le phénomène de snapback à modéliser. Ce phénomène est représenté par une chute importante de la tension accompagnée d'une augmentation significative du courant à l'entrée de la broche. Ceci s'explique par l'activation du circuit de protection qui passe d'un état de blocage à un état de conduction ce qui augmente considérablement le courant le traversant.

III.2.3.1. Banc de mesure ESD

Les caractérisations ESD sont réalisées en utilisant le banc TLP (Transmission Line Pulsing) de la figure 31-a.

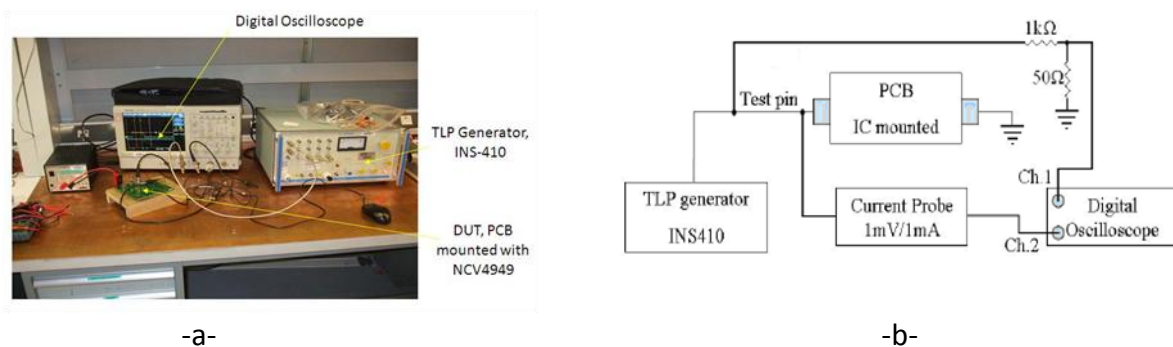


Figure 31 : a-Banc de caractérisation TLP de VALEO, b- Configuration de mesure de circuits intégrés.

Le générateur TLP utilisé est le INS410 de chez Noise Laboratories Co. Ltd. Il génère des impulsions avec un temps de montée fixe de 1 ns et une largeur réglable entre 50 ns et 400 ns par pas de 50 ns. Pour la mesure de la caractéristique $I(V)$, le circuit sous test est monté sur un PCB et puis connecté au générateur TLP selon la configuration présentée sur la figure 31-b. Le courant entrant dans la broche sous test est prélevé par une sonde de courant 1mV/1mA.

Sur la Figure 32, nous présentons le résultat de mesure de la caractéristique ESD du circuit intégré NCV4949.

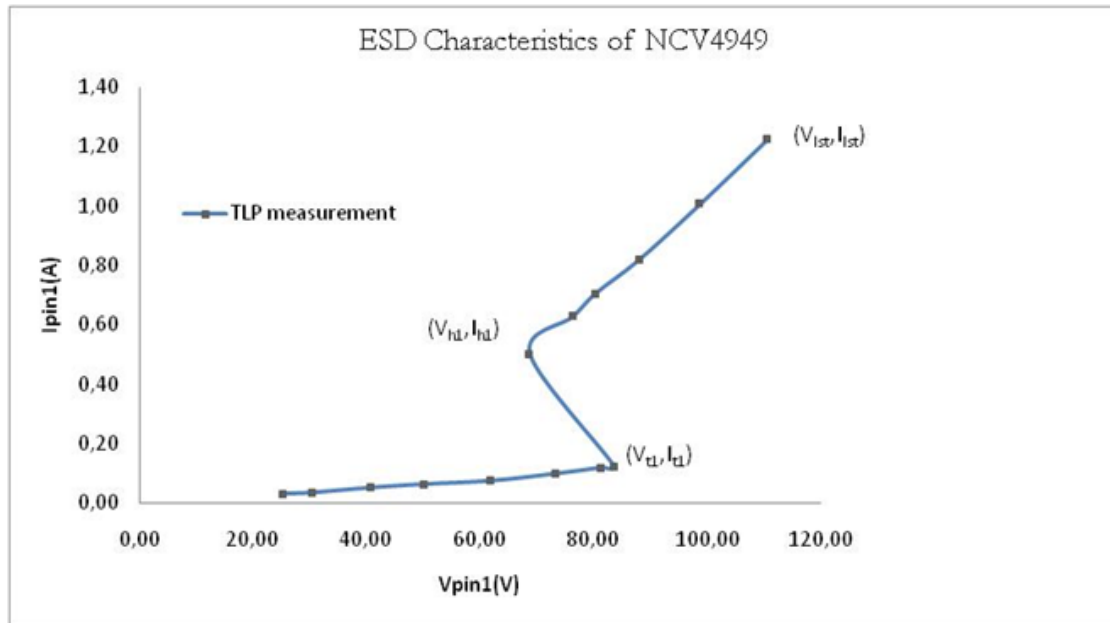


Figure 32 : Caractéristique I(V) de la broche V_{cc} du régulateur de tension NCV4949.

III.2.3.2. Mesure de l'impédance équivalente du circuit

L'impédance équivalente du circuit est directement extraite de la mesure du paramètre S_{11} à l'entrée de la broche sous test. Cette impédance est ensuite modélisée par un circuit électrique équivalent à base d'éléments RLC. La figure 33 montre une comparaison entre une mesure d'impédance et son modèle électrique qui sera implanté dans le modèle final du circuit.

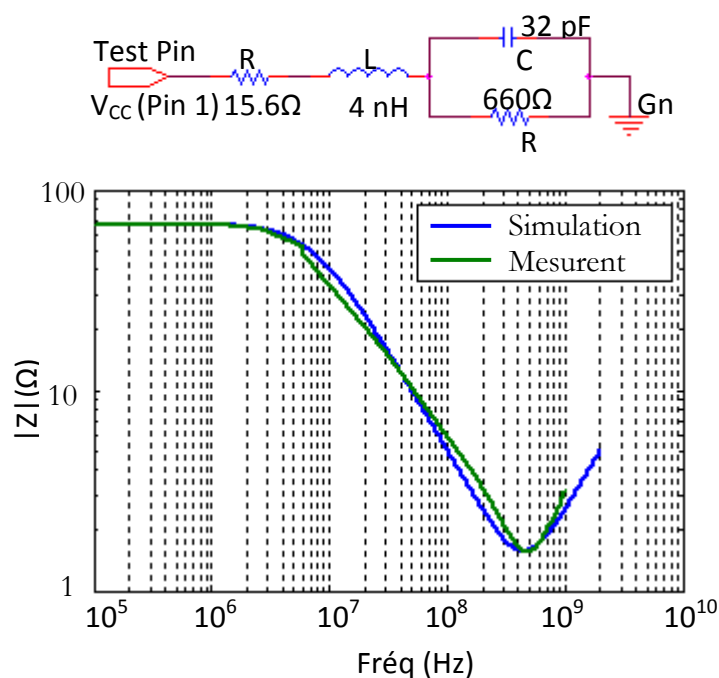


Figure 33 : Comparaison entre mesure et modèle de l'impédance de la broche V_{cc} du NCV4949.

III.2.3.3. Extraction des paramètres

Certains paramètres de la caractéristique $I(V)$ de la figure 32 seront directement exploités dans la procédure d'extraction automatique des différents paramètres des modèles des composants utilisés (le MOS et le bipolaire). Nous avons développé une procédure sous MATLAB afin d'extraire les principaux paramètres présentés dans le tableau 2 et le tableau 3 respectivement pour le BISIM3v3.2 et le MEXTRAM 504. La procédure mise en place est schématisée sur la figure 34.

Parameter	Description	Units
α_0	The first parameter of impact ionization current.	m/V
α_1	I_{sub} parameter for length scaling.	1/V
β_0	The second parameter of impact ionization current.	V
W	Device Width.	m
L	Channel length.	m
DLC	length offset fitting parameter.	m
DWC	Width offset fitting parameter.	m
N_{ch}	Doping concentration in the channel.	cm^{-3}

Tableau 2 : Paramètres du BISIM3v3.2 extraits par la procédure automatique.

Parameter	Description	Units
V_{AVL}	Voltage determining the curvature of avalanche current.	V
W_{AVL}	Epilayer thickness used in weak-avalanche model.	m
S_{fh}	Current spreading factor of avalanche.	-
β_f	Ideal forward current gain.	-
R_E	Emitter resistance.	Ω
I_{HC}	Critical current for velocity saturation.	A
R_{BC}	Constant part of the base resistance.	Ω
R_{BV}	Zero-bias value of the variable part of the base resistance.	Ω
V_{DC}	Collector-base built-in voltage.	V

Tableau 3 : Paramètres du MEXTRAM 504 extraits par la procédure automatique.

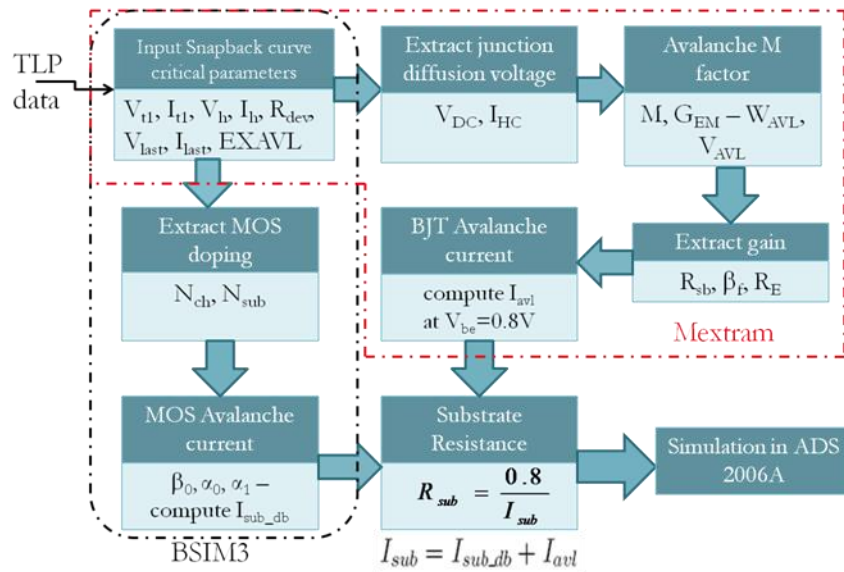


Figure 34 : Procédure d'extraction des paramètres du modèle ESD des circuits intégrés.

III.2.4. Validation du modèle proposé

Le modèle proposé a été testé sur deux circuits intégrés différents : le régulateur de tension NCV4949 et le transceiver de bus CAN TLE6250G. Dans les deux cas, le modèle a donné de très bons résultats, comme le montre la figure 35. Les simulations ont été réalisées avec le logiciel ADS.

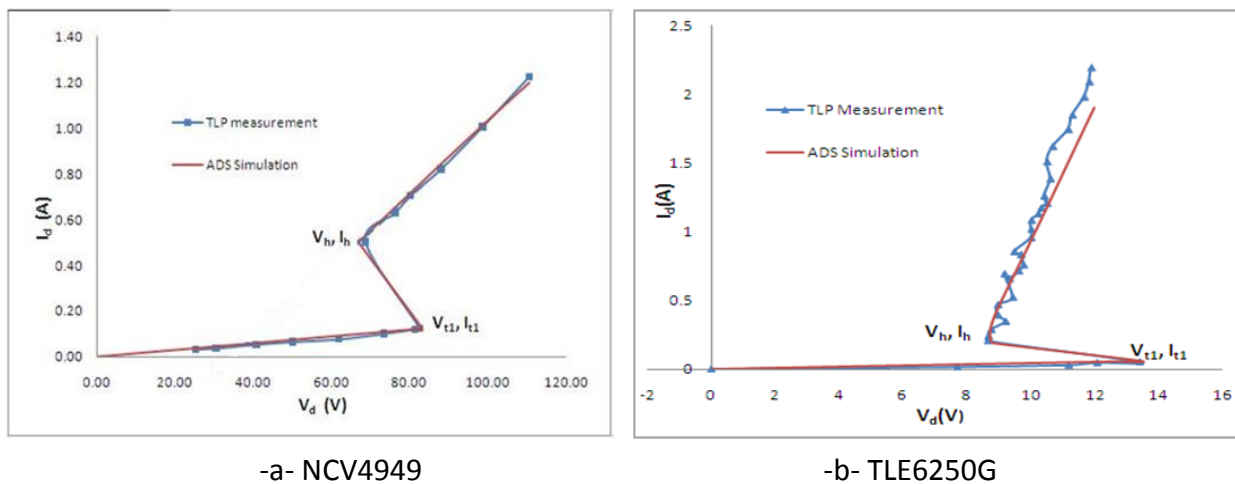


Figure 35 : Comparaison entre simulation et mesure TLP de la caractéristique ESD des circuits intégrés.

III.3. Rapports et publications liés aux travaux sur l'immunité conduite

Rapports	Travaux en cours	Publications internationales	Conférences internationales	Conférences nationales
[Th2], [Mast1], [Mast2], [S2], [S3]	[Th4]	[P5], [P8], [P11], [P12]	[CI6], [CI9], [CI10], [CI11]	[CN1]

IV. FIABILITE DES COMPOSANTS SOUS STRESS ELECTROMAGNETIQUE

J'ai participé au démarrage de cette thématique de recherche au sein de l'IRSEEM au début de l'année 2007. Il s'agissait de mettre en place un partenariat entre le pôle E&S de l'IRSEEM et l'équipe de recherche en microélectronique (ERMEL) du GPM (Groupe Physique des Matériaux), unité de recherche mixte CNRS, université de Rouen et INSA de Rouen. La thématique retenue portait sur la fiabilité des composants électroniques sous stress électromagnétique. Cette collaboration a commencé par l'encadrement conjoint d'un stage de Master 2 recherche [Mast3] en partenariat avec Thales Air Système, désireux de qualifier la fiabilité et la robustesse d'une nouvelle technologie de composants susceptibles d'être utilisés dans les futurs développements de ses produits. Ce premier travail était une bonne étude de faisabilité et nous a encouragé à poursuivre les travaux par le lancement d'une thèse CARNOT ESP entre les deux laboratoires [Th3]. J'assure l'encadrement et le suivi de ces travaux conjointement avec Pr K. DAOUD du GPM, responsable de l'équipe ERMEL. Les travaux portent sur l'étude des dégradations et défaillances de composants Si-SiGe sous contraintes électromagnétiques.

Ces travaux mettent en synergie les compétences des deux laboratoires de recherche membres de l'institut carnot ESP. Du côté de l'IRSEEM, c'est les compétences en hyperfréquence et en compatibilité électromagnétique (CEM) qui sont directement exploitées dans cette thèse, pour mettre en place les bancs de stress électromagnétique rayonné, pour modéliser les composants sous tests et pour les caractériser avant et après stress. Du côté du GPM, c'est le savoir faire en analyse physique qui est mis à profit dans ce travail. En effet, une fois les composants dégradés, des analyses microscopiques sont réalisées afin de localiser les défauts et comprendre l'origine de la dégradation. L'implication des deux structures est très complémentaire surtout avec la pluridisciplinarité des domaines couverts par ces travaux.

En 2008, j'ai participé, côté IRSEEM, à la définition et au lancement du projet de recherche AUDACE "Analyse des caUses de DéfaillAnces des Composants des systèmes mEcatroniques embarqués". Ce programme est un projet de recherche et développement du pôle de compétitivité MOV'EO. Il regroupe quatorze partenaires industriels et universitaires et le

porteur du projet est THALES AIR SYSTEM. L'IRSEEM apporte dans ce projet son expertise en CEM (perturbations électromagnétiques), cette dernière étant identifiée comme l'une des principales sources de défaillances des composants des systèmes mécatroniques automobile et aéronautique. Ce projet est brièvement présenté dans l'annexe 1 (cf. A1.V.1.1).

IV.1. Banc de stress électromagnétique rayonné

Le principe du banc de stress champ proche de l'IRSEEM présenté sur la figure 36 est fondé sur l'utilisation d'une sonde placée au-dessus du Composant Sous Test (CST) à une hauteur « h » pour injecter des perturbations rayonnées localisées de fortes amplitudes.

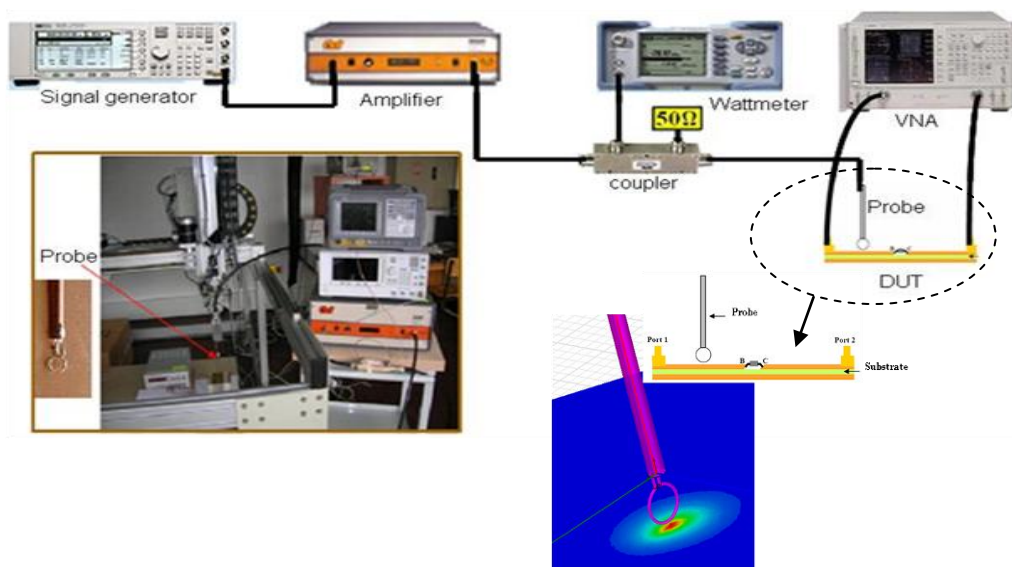


Figure 36 : Banc de stress électromagnétique rayonné.

Ce banc est constitué d'un générateur RF pour générer l'onde perturbatrice, d'un amplificateur pour l'amplifier, d'un coupleur et d'un wattmètre pour mesurer sa puissance et enfin d'une sonde d'injection pour la transformer du mode conduit en mode rayonné. Dans cette étude, la boucle magnétique a été retenue parmi les autres types de sonde comme le monopole et le dipôle. Cette sonde est fabriquée à partir d'un câble coaxial semi-rigide en prolongeant son conducteur central et en le formant en boucle pour produire principalement un champ magnétique perpendiculaire à sa surface.

IV.2. Fiabilité des TBH Si-SiGe sous contraintes électromagnétiques rayonnées

Le TBH étudié est un composant CMS (Composant monté en surface) de dimensions millimétriques monté en émetteur commun sur un pied de test constitué d'accès DC, permettant de fixer le point de polarisation et d'accès RF à travers des lignes $50\ \Omega$ [P4], [CN3]. Ces transistors présentent un gain en courant atteignant 300 et une tension de claquage BV_{CE0} de 2,3 V.

IV.2.1. Structure du composant Si-SiGe étudié

Afin de connaître la structure interne du TBH étudié, le composant a été dépackagé par procédé chimique. Ensuite, nous avons réalisé une ouverture d'une certaine profondeur par utilisation du FIB (Focused Ion Beam) afin d'inspecter la zone active du composant par le SEM (Scanning Electron Microscopy). A l'issue de ces procédés, nous avons pu remonter à la structure de notre TBH. Sur la figure 37, nous présentons une cellule élémentaire parmi six cellules constituant la structure multi-doigts du transistor. Nous identifions sur cette figure le collecteur, l'émetteur et la base avec une couche SiGe d'une épaisseur de 40 nm. Cette structure est utilisée comme référence du composant avant stress et sera comparée au cas des composants dégradés après stress.

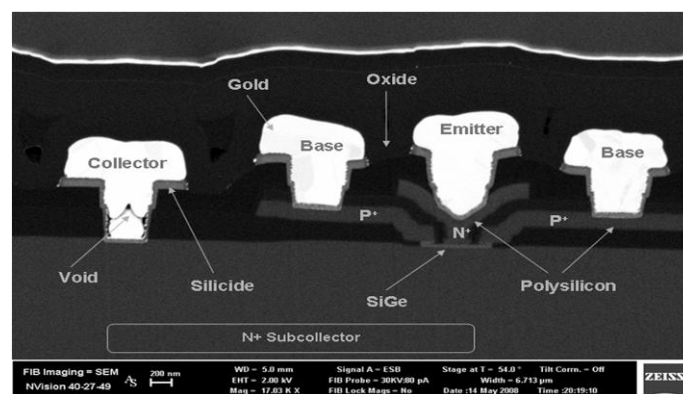


Figure 37 : Une coupe du HBT Si-SiGe réalisée par le SEM.

IV.2.2. Dégradations des caractéristiques électriques des TBH après stress

Le stress électromagnétique est appliqué au TBH à travers une sonde située à 1 mm de hauteur et à 3 mm de la base. La puissance injectée dans la sonde est de 40 dBm à une

fréquence de 1 GHz. Après 2h30 de stress, nous avons remarqué une importante dégradation des caractéristiques statiques et dynamiques du transistor.

IV.2.2.1. Dégradations des caractéristiques statiques :

La Figure 38-a présente les courbes de Gummel avant et après stress avec V_{BE} qui varie entre 0,4 et 1,2 V à $V_{BC}=0$. Nous avons observé que le courant collecteur reste inchangé pendant la durée du stress, par contre une dégradation importante du courant de la base a été remarquée. Cette augmentation du courant de la base engendre naturellement une diminution du gain en courant du transistor comme nous pouvons le voir sur la figure 38-b.

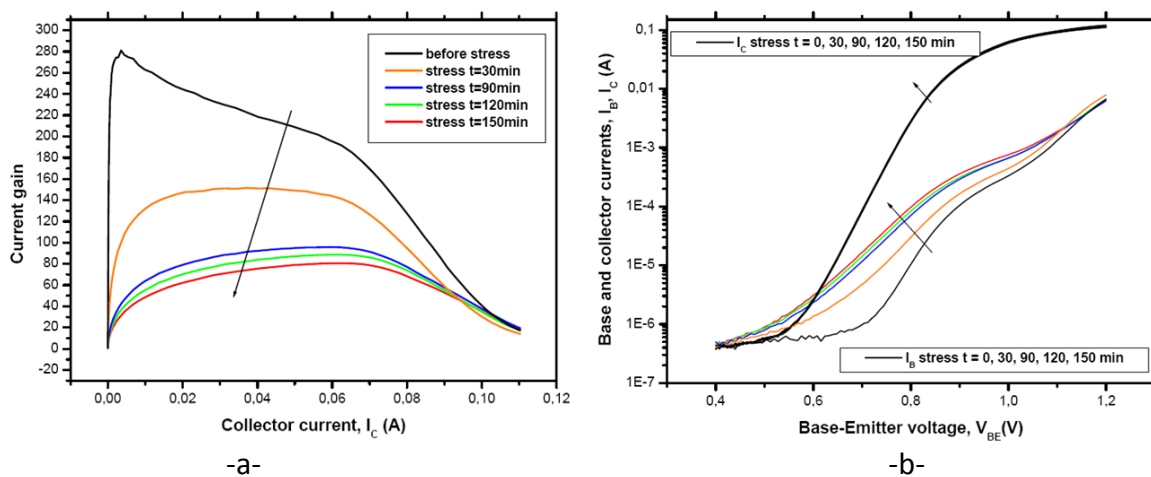


Figure 38 : -a- Courbes de Gummel- I_C , I_B en fonction de V_{BE} à $V_{BC}=0$ V, -b- Gain du transistor en fonction du courant I_C .

Nous avons comparé cet effet sur les courbes de Gummel à l'effet des autres types de stress utilisés dans la littérature, notamment les deux stress électriques ("inverse" et "mixed mode") [Réf34], [Réf35] et celui par irradiation [Réf36]. Le mécanisme de défaillance commun responsable de cette augmentation du courant de la base est expliqué par des dégradations de la structure des couches d'isolation base-émetteur (espaceur), induisant un courant de fuite. En effet, la tension induite par stress électromagnétique à l'entrée du TBH augmente la vitesse des porteurs en induisant des porteurs chauds (électrons ou trous ou les deux). Ces porteurs très énergétiques introduisent des centres de Génération/Recombinaison (G/R) dans les couches d'isolation entre la base et l'émetteur en

induisant un courant de base non-idéal et par conséquent une dégradation du gain en courant [Réf37].

Afin de compléter nos investigations, nous avons mesuré également les courbes de Gummel en mode inverse (figure 39) qui représentent les paramètres associés à la diode Base-Collecteur du TBH. Nous avons remarqué une dégradation significative du courant de la base alors que le courant de l'émetteur reste inchangé. Par conséquent, une chute importante du gain en courant en régime inverse est induite. Ces résultats indiquent la présence d'un courant de fuite entre la base et le collecteur causé par les défauts à l'interface Si/SiO₂ des couches d'isolation base-collecteur [Réf38]-[Réf40]. Ceci montre que le stress électromagnétique induit des dégradations, non seulement à l'interface Si/SiO₂ entre la base et l'émetteur, mais aussi à celle de la couche d'isolation entre la base et le collecteur.

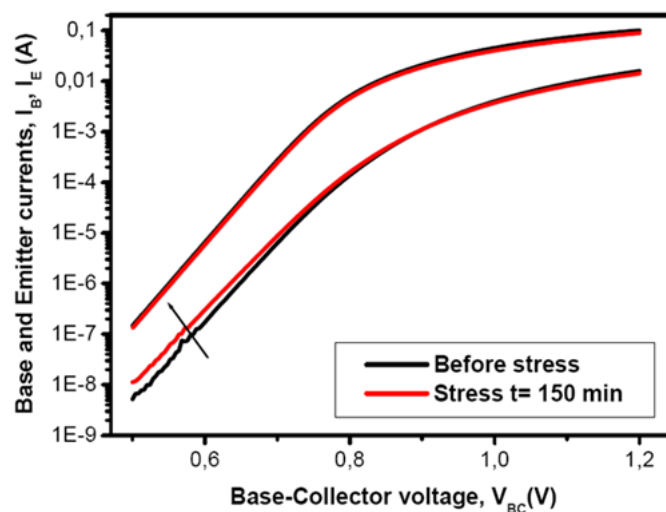


Figure 39 : Courbes de Gummel en mode inverse $-I_E$, I_B en fonction de V_{CE} à $V_{BE}=0$ V.

Les dégradations observées sur les caractéristiques statiques ont sûrement un effet sur les paramètres dynamiques du transistor. Pour mesurer l'importance de cet effet, nous avons caractérisé la dégradation des paramètres S pendant la durée du stress. De la figure 40, nous observons une importante dégradation du paramètre de transmission (S_{21}) atteignant 5 dB. Ceci est attribué à la réduction de la transconductance (g_m) due à la chute du gain statique en courant (β) [Réf41]. En outre, il a été observé que le paramètre de réflexion (S_{11}) a été dégradé (augmentation en module et en phase) après stress, ce qui indique une modification de l'impédance d'entrée du TBH. Cette dégradation peut être attribuée à

l'augmentation de la résistance dynamique de la base d'une part et à une modification des résistances de l'émetteur et de la base d'autre part.

Il est à signaler que ces dégradations étaient négligeables quand la sonde était placée au dessus du boîtier, du collecteur ou de l'émetteur en appliquant les mêmes conditions de stress.

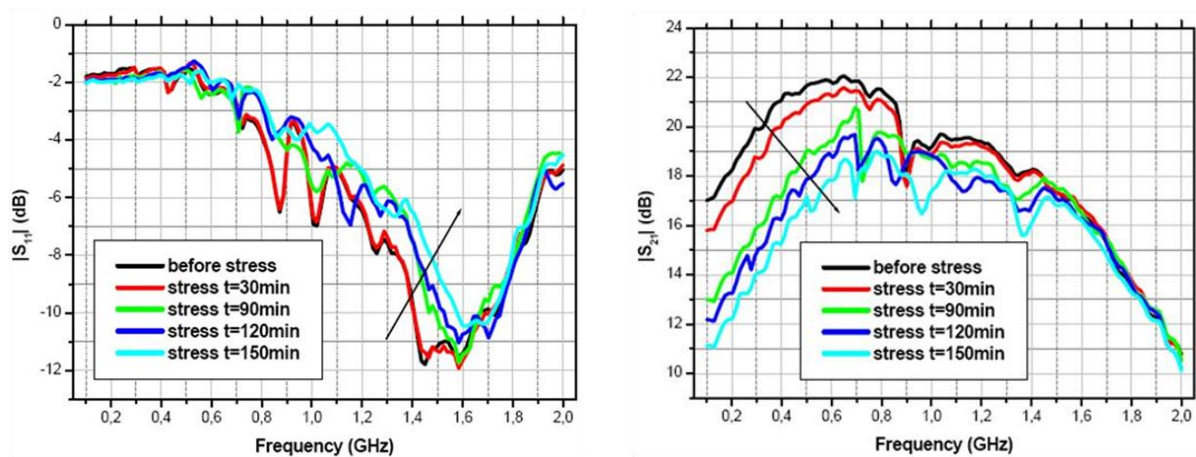


Figure 40 : Dégradations des paramètres S après stress.

En plus de ces paramètres, nous avons observé la baisse de la fréquence de transition et l'augmentation des capacités de jonctions B-E et B-C. Pour le premier paramètre ceci est attribué à l'augmentation du temps de transit des porteurs à travers les jonctions B-E et B-C dégradées ainsi qu'à l'augmentation des capacités de ces jonctions. Quant à ces dernières, leur augmentation peut être attribuée en partie à l'augmentation de la concentration des porteurs aux niveaux des deux jonctions à cause du phénomène de piégeage cité précédemment.

IV.2.3. Analyse physique des défaillances

Afin de vérifier les hypothèses posées quant aux mécanismes de défaillances observés, nous avons eu recours à la simulation et à la caractérisation physique du TBH. Pour la simulation physique, nous avons utilisé les outils ATHENA – ATHLAS du logiciel SILVACO [Réf42]. Les études réalisées sur ces modules, nous ont permis de confirmer que le phénomène responsable de la dégradation du gain est principalement lié au phénomène de piégeage. Il est important de signaler que ces résultats sont à considérer d'un point de vue qualitative et pas quantitative. Ceci est dû d'un côté à la simulation d'une structure simplifiée différente

de la structure réelle (considération d'une seule cellule élémentaire au lieu de six) et de l'autre au fait que SILVACO est un logiciel 2D et donc considère uniquement une coupe de la structure réelle. La structure simulée sous ATHENA est représentée sur la figure 41. Les dimensions de cette structure ainsi que les dopages des différentes régions ont été optimisés afin d'avoir des caractéristique statiques proches de celles mesurées. Concernant le cœur du TBH, qui est sa couche SiGe, une épaisseur de 40 nm a été considérée conformément à ce qui a été trouvé par caractérisation physique (figure 37).

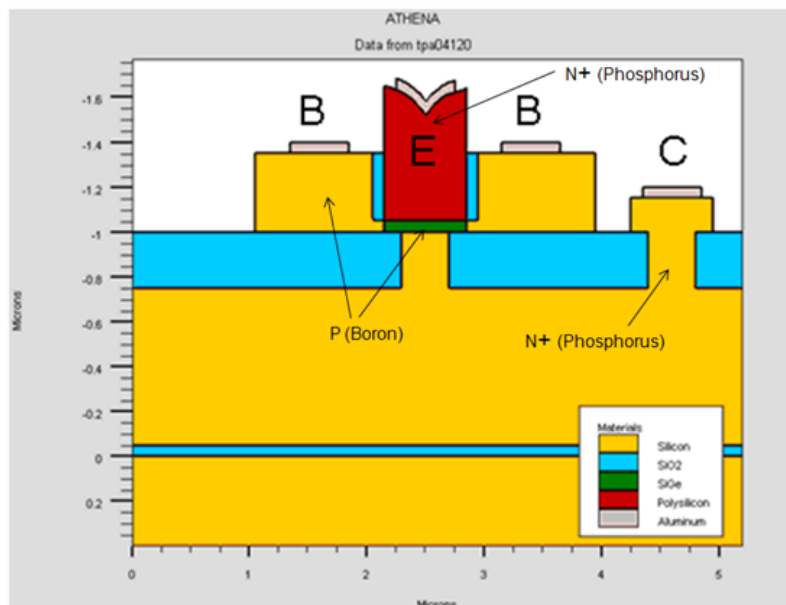


Figure 41 : Coupe bidimensionnelle de la structure du TBH SiGe simulé sous AHTENA.

Les outils de simulation et de prédiction permettant d'évaluer la défaillance d'un composant électronique dans un environnement électromagnétique donné, ne sont pas disponibles à ce jour. Ceci nous a amené à introduire des défauts dans la structure pour comparer la variation des caractéristiques en simulation et en mesure, et pour pouvoir prédire la localisation des défauts après stress.

En effet, la cause la plus probable des dommages connus pour le TBH SiGe est la création d'états d'interfaces par des porteurs très énergétiques (porteurs chauds sous l'action d'un fort champ électrique), capables de casser les liaisons inter-atomiques fragiles de l'interface Si/SiO₂. Par conséquent, le courant de recombinaison peut s'accroître à cause des pièges qui se trouvent à l'interface de ces couches d'isolations et qui font augmenter la vitesse de

recombinaison des porteurs en surface. Dans cette partie nous allons donc étudier par simulation l'effet des pièges sur les caractéristiques statiques et dynamiques.

Le principe de la simulation consiste à introduire une densité de pièges aux interfaces Si/SiO₂ en utilisant la boîte "Box Trap" comme représenté sur la figure 42. Selon le modèle utilisé des pièges, ces derniers s'appliquent seulement à l'interface Si/SiO₂ pour capturer les porteurs qui se déplacent à cette interface.

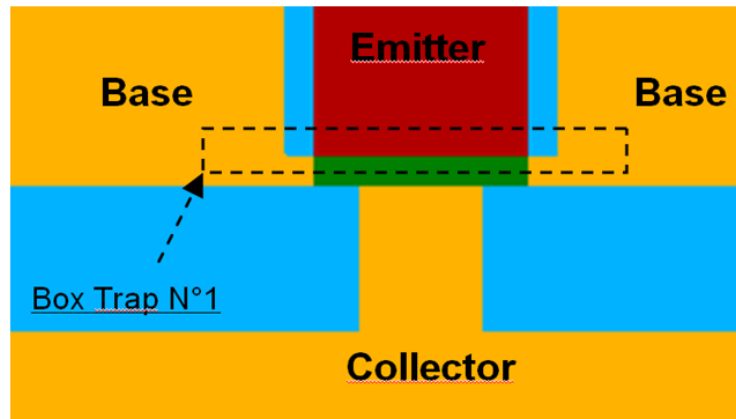


Figure 42 : Introduction des pièges à l'interface Si/SiO₂ entre la base et l'émetteur.

Nous avons observé par simulations l'effet de ces pièges sur les courbes de Gummel en mode direct avant et après introduction des pièges. Les résultats sont présentés sur la figure 43.

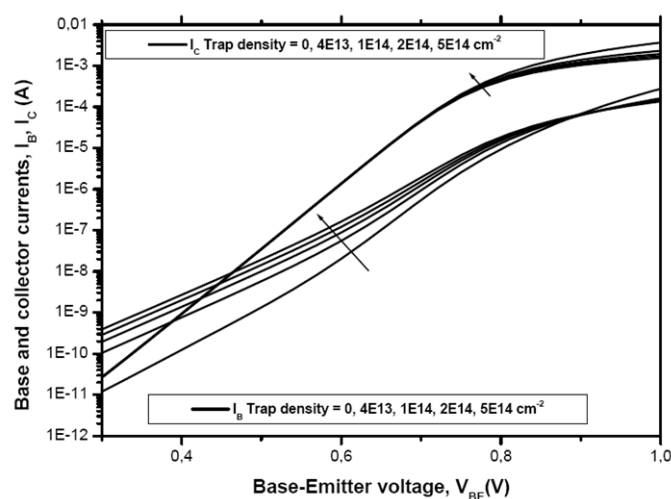


Figure 43 : Courbes de Gummel en régime direct simulées avec différentes densités de pièges.

De ces résultats, nous pouvons clairement remarquer que l'augmentation du courant de base est importante, et que le courant du collecteur n'a subi pratiquement aucun changement après introduction de défauts. Cette augmentation progressive du courant de base simulé est qualitativement comparable avec nos résultats expérimentaux. Ceci confirme l'hypothèse avançant l'apparition des pièges comme un des mécanismes de défaillance induit par le stress électromagnétique. Nous avons également remarqué le même effet sur les courbes de Gummel en mode inverse après avoir positionné des pièges aux interfaces Si/SiO₂ entre la base et le collecteur. Ces dégradations de caractéristiques statiques ont induit tout naturellement une baisse du gain en courant ainsi que le gain en puissance S_{21} . Cependant, nous n'avons remarqué aucun effet sur le paramètre S_{11} et donc l'impédance d'entrée contrairement à ce qui a été observé par mesures. Ceci est révélateur de la présence d'un autre type de défaillance en plus des pièges aux interfaces. Afin d'identifier ces défaillances supplémentaires, nous avons exploité les moyens de caractérisations physiques disponibles au laboratoire GPM.

Sur la figure 44, nous comparons deux observations MET issues d'un composant vierge et d'un autre dégradé. Ce dernier est un composant vieilli pendant une durée de 2h30, où il a subi une dégradation du gain en courant de 80% après stress.

Sur la structure dégradée, nous pouvons remarquer une déformation de la couche de titane située sur les parties hautes des contacts de l'émetteur, de la base et du collecteur. La figure 45 montre clairement que la déformation du titane pour tous les doigts est limitée à l'interface Ti/Si₃N₄, s'arrêtant ainsi à l'interface Ti/SiO₂.

Pour interpréter ces résultats des caractérisations EDS (Energy Dispersive Spectroscopy) ont été réalisés au niveau des zones dégradées. Il apparaît clairement que des grains d'or ont migrés dans le titane pour former probablement des composés intermétalliques TiAu. Ce phénomène d'électromigration a pour origine le fort courant induit dans le transistor après stress. Ce courant provoque un phénomène d'auto-échauffement qui favorise l'électromigration de l'or.

Ces dégradations sont responsables de l'augmentation des résistances des contacts et ainsi l'impédance d'entrée du composant. Ce résulte complète l'analyse des causes de

défaillances et se trouve très complémentaire des simulations physiques présentées précédemment.

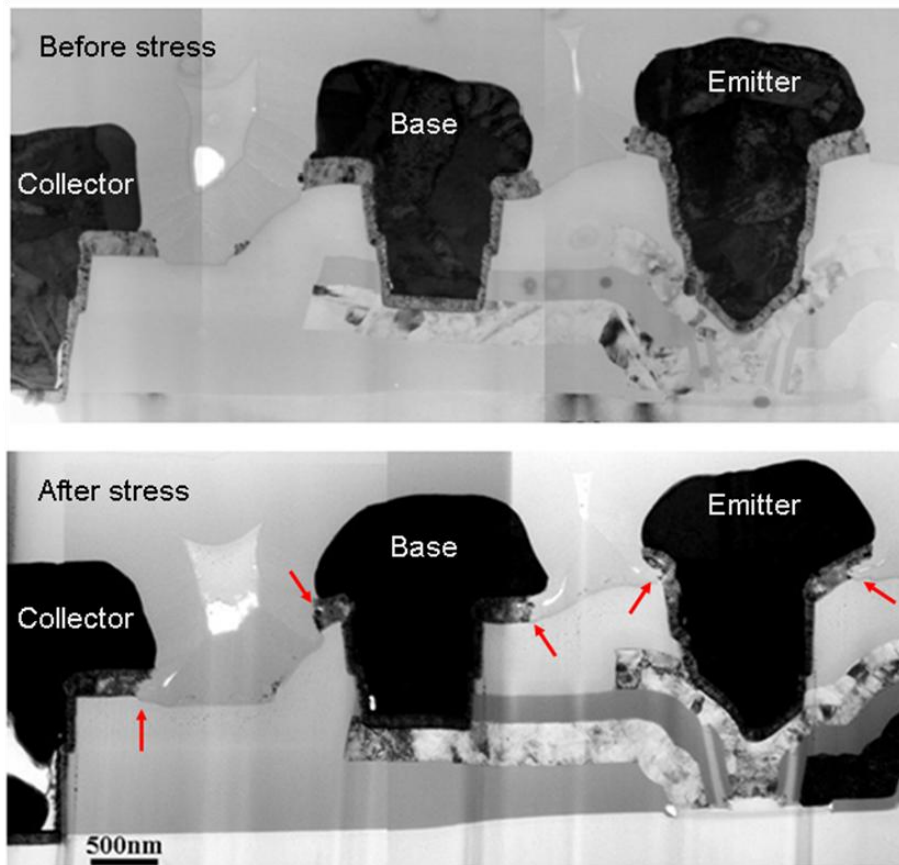


Figure 44 : Observation MET de deux structures dégradée et non-dégradée. Les flèches indiquent les dégradations observées dans les couches de titane.

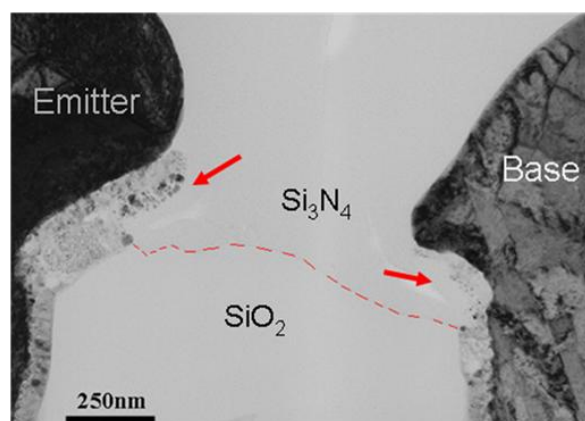


Figure 45 : Observation MET en champ clair de la zone endommagée après stress. Les flèches indiquent les parties dégradées de la couche de titane, située autour des contacts de

l'émetteur et de la base. La ligne en pointillé est utilisée pour séparer les deux couches d'isolation SiO_2 et Si_3N_4 .

IV.3. Fiabilité des technologies GaN utilisées dans les applications radars

Avec le démarrage du projet AUDACE, j'ai poursuivi les travaux sur la fiabilité des composants électroniques sous stress électromagnétique. Nous nous sommes intéressés à la technologie GaN très bonne candidate aux applications de puissances mais pas toujours assez mature, ce qui représente un risque en termes de fiabilité et robustesse. La technologie GaN étudiée est utilisée dans les modules de transmissions radars pour réaliser les amplificateurs de puissance HPA (High Power Amplifier).

IV.4. Fiabilité des composants à semiconducteurs larges bandes pour les applications haute température

Ces travaux ont démarré en octobre 2010 dans le cadre d'une collaboration entre les deux laboratoires GPM et IRSEEM. Ces derniers ont souhaité poursuivre naturellement leur travaux sur la fiabilité après la réussite de la première thèse [Th3] qui a mis en avant la parfaite complémentarité d'un point de vue thématique entre les deux laboratoires. Les travaux rentrent dans le cadre d'une thèse régionale et portent sur la fiabilité des composants à semiconducteurs larges bandes pour les applications haute température ([Th6]).

IV.5. Rapports et publications liés aux travaux sur la fiabilité

Rapports	Travaux en cours	Publications internationales	Conférences internationales	Conférences nationales
[Th3], [Mast3]	[Th5], [Th6]	[P2], [P3], [P4], [P6]	[CI1], [CI2], [CI5], [CI7], [CI8]	[CN2], [CN3]

CONCLUSIONS GENERALES ET PERSPECTIVES

CONCLUSIONS GENERALES ET PERSPECTIVES

J'ai présenté dans ce rapport mon activité de recherche de ces dix dernières années, laquelle portait sur des thématiques d'intégrité du signal, de CEM et de fiabilité des composants électroniques. Ces travaux sont assez complémentaires et dressent aussi bien les aspects conception et modélisation que l'aspect caractérisation. Lors de ces recherches, je me suis intéressé au composant d'un point de vue microélectronique mais également au composant packagé utilisé comme brique élémentaire dans les cartes et systèmes électroniques. Cette diversité m'a permis d'acquérir des compétences dans différents domaines. Ces travaux ont souvent été réalisés dans le cadre de projets collaboratifs, ce qui m'a permis de m'enrichir et de m'ouvrir sur d'autres domaines couverts par les partenaires de ces projets. Parmi ces partenaires, les industriels de différents domaines (Microélectronique, Aéronautique, Automobile, ...) ont toujours été présents autour des différentes thématiques traitées. Ils nous permettaient d'accéder aux nouvelles technologies et d'avoir ainsi les démonstrateurs sur lesquels nos travaux sont validés.

Mes travaux de thèse ont été le début de cette expérience dans le domaine de la recherche. Ils m'ont permis de travailler sur une problématique concrète du domaine de la microélectronique, à savoir les interconnexions. En raison de l'importance de ce domaine, il a été réservé un chapitre entier, dans l'édition annuelle de l'ITRS (International Technology Roadmap for Semiconductors), qui dresse la roadmap des nouvelles technologies micro et nanoélectroniques. J'ai pu apporter des solutions innovantes et réalisables d'interconnexions RF aux niveaux des MCMs et des PCBs. Ces travaux ont fait l'objet de publications dans des revues, de conférences spécialisées mais aussi de transfert technologique aux fabricants de circuits intégrés s'intéressant à cette problématique. Ils m'ont permis d'acquérir une bonne expérience dans le domaine des antennes, des caractérisations hyperfréquences, des simulations électromagnétique et électrique ainsi que dans les techniques de conception de circuits en salles blanches.

J'ai poursuivi mes recherches en exploitant cette expérience dans le domaine de la CEM. Je me suis intéressé dans un premier temps aux sondes de mesures utilisées en champ proche et à leur méthode de caractérisation. J'ai continué ensuite sur la thématique des composants en m'intéressant aux problèmes liés à l'immunité des circuits intégrés. Les

résultats obtenus dans ces domaines sont très intéressants et nous ont permis de nous positionner parmi les leaders dans le domaine de la modélisation de l'immunité conduite des composants. Les travaux effectués ont été parmi ceux qui ont fait avancer les réflexions sur la structure du modèle d'immunité ICIM (Integrated Circuit Immunity Model) au sein du groupe de normalisation français UTE. A l'IRSEEM, je poursuis actuellement le développement de l'activité de modélisation de l'immunité. Après avoir traité les signaux CW et ESD séparément, nous essayons de fusionner les deux modèles trouvés dans un modèle global offrant la possibilité de faire des simulations dans les domaines temporel et fréquentiel.

La troisième grande partie de mon activité de recherche concerne le domaine de la fiabilité des composants. Nous avons mis en place une nouvelle méthodologie pour étudier la fiabilité des transistors sous agressions électromagnétiques rayonnés. L'expérience que j'ai développée autour des travaux sur le champ proche m'a été très bénéfique dans la mise en place des bancs de stress en mode rayonné. La méthodologie utilise le stress par le banc champ proche combiné à des caractérisations électrique et physique des composants avant et après stress. Les résultats obtenus jusqu'à présent, dans ce domaine, sont très prometteurs. A l'IRSEEM, cette activité est en train de monter en puissance avec l'acquisition et le développement de nouveaux bancs de mesures permettant de remonter à plusieurs indicateurs de la fiabilité des composants (Banc de bruit BF, Banc de bruit RF, Analyseur DC). D'autres sont aussi en cours de développement afin de nous permettre de tester la fiabilité de systèmes mécatroniques complexes dans les domaines de l'automobile et de l'aéronautique. L'objectif à long terme de ces travaux est la réalisation de modèles multi-physiques mettant en relation les défaillances des composants et des systèmes avec les différentes contraintes physiques qui définissent les environnements dans lesquels ils se trouvent.

BIBLIOGRAPHIE

BIBLIOGRAPHIE

- [Réf1] D. A. B. Miller, "Rationale and challenges for optical interconnects for electronic chips", Proceedings of the IEEE, Vol. 88, NO.6, June 2000.
- [Réf2] J.A .Davis, R. Venkatesan, A. Kaloyeros, M. Beylansky, S.J. Souri, K. Banerjee, K.C. Saraswat, A. Rahman, R. Reif, J.D. Meindl, "Interconnect limits on gigascale integration (GSI) in the 21 st century", Proceedings of the IEEE, vol. 89, N°3, March 2001.
- [Réf3] K. Banerjee, S.J. Souri, P. Kapur, K.C. Saraswat, "3-D ICs : A novel chip design for improving deep-submicrometer interconnect performance and systems-on-Chip integration", Proceedings of the IEEE, vol 89, N°5, May 2001.
- [Réf4] B. A. Floyd, K. Kim, Kenneth. K. O, "Wireless Interconnection in a CMOS IC with Integrated Antennas", IEEE International Solid-State Circuits Conference, pp. 328-329, San Francisco, CA, Feb. 2000.
- [Réf5] Floyd, B.A. Chih-Ming Hung, Kenneth. K. O, "Intra-chip wireless interconnect for clock distribution implemented with integrated antennas, receivers, and transmitters", IEEE Journal of solid-state circuits, vol. 37, no. 5, pp. 543–552, May 2002.
- [Réf6] R. Li, W. Bomstad, J. Caserta, X. Guo, Kenneth. K. O, "Evaluation of integrated antennas for wireless connection between an integrated circuit and an off-chip antennas", Proceeding of the IEEE 2003 international interconnect technology conference, 2-4 June 2003.
- [Réf7] R. Woonghwan, A.L.C. Wai, Fan Wei, Wai Lai Lai, Joungho Kim, "Over GHz low-power RF clock distribution for a multiprocessor digital system", IEEE Transactions on advanced packaging, Vol. 25, N°1, Feb 2002.
- [Réf8] K. Kim, Kenneth K. O, " Characteristics of Integrated Dipole Antennas on Bulk, SOI, and SOS Substrates for Wireless Communication", Proceedings of the 1998 IITC, pp. 21-23, San Francisco, June, 1998.

- [Réf9] S. Kriel, K. Haelvoet, L. Mertens, D. De Zutter, A. Franchois, R. De Smedt and P. De Langhe, "Theoretical and experiment quantitative characterization of near fields of printed circuit board interconnection structures", IEEE International Symposium on EMC, Atlanta, USA, 1995, pp. 471-474.
- [Réf10] D. Baudry, C. Arcambal, A. Louis, B. Mazari and P. Eudeline, "Applications of the Near-Field Techniques in EMC Investigations", IEEE Transactions on Electromagnetic Compatibility, vol. 49, no. 3, pp. 485-493, August 2007.
- [Réf11] Y. Vives, C. Arcambal, A. Louis, F. de Daran, P. Eudeline, B. Mazari, "Modeling Magnetic Radiations of Electronic Circuits using Near-field Scanning Method", IEEE Transactions on Electromagnetic Compatibility, vol. 49, n° 2, pp. 391-400, May 2007.
- [Réf12] H. Hosoyama, T. Iwasaki, S. Ishigami, "Complex Antenna Factor of a V-Dipole antenna with two coaxial feeders for field measurements", IEEE Transactions on EMC vol. 41, n°2, pp. 154-158, 1999.
- [Réf13] D. Paris, W. Leach, E. Joy, "Basic theory of probe-compensated near-field measurements", IEEE Transactions on Antennas and Propagation, vol. 26, n°3, pp. 373-379, 1978.
- [Réf14] C. A Balanis, "Antenna theory: Analysis and design", Ed. John Wiley 1999.
- [Réf15] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, O. Wada, "The Electromagnetic Compatibility of Integrated Circuits - Past, Present, and Future", IEEE transaction on EMC, vol. 51, n° 1, february 2009.
- [Réf16] IEC 62433-2 : Models of Integrated Circuits for EMI behavioural simulation - Conducted Emissions modelling (ICEM-CE).
- [Réf17] IEC 62433-3 : Models of Integrated Circuits for EMI behavioral simulation, Radiated Emission Model (ICEM-RE).
- [Réf18] IEC 62132-4 : Measurement of electromagnetic immunity, 150 kHz to 1 GHz – Part 4: Direct RF power injection method.
- [Réf19] F. Lafon, M. Ramdani, R. Perdriau, M. Drissi, F.D. Daran, "An Industry Compliant Immunity Modeling Technique for Integrated Circuits", EMC 09 Kyoto - International Symposium on Electromagnetic Compatibility, 2009.

- [Réf20] S. Baffreau, "Susceptibilité des microcontrôleurs aux agressions électromagnétiques", thèse présentée à l'INSA de Toulouse, 2003.
- [Réf21] E. Lamoureux, "Étude de la susceptibilité des circuits intégrés numériques aux agressions hyperfréquence", thèse présentée à l'INSA de Toulouse, 2006.
- [Réf22] J-L. Levant, "Mise en place d'une démarche d'intégration des contraintes CEM dans le flot de conception des circuits intégrés", thèse présentée à l'INSA de Rennes, 2007.
- [Réf23] A. Alaeldine, "Contribution à l'étude des méthodes de modélisation de l'immunité électromagnétique des circuits intégrés", thèse présentée à l'INSA de Rennes, 2008.
- [Réf24] F. Lafon, F. De Daran, M.Ramdani, R.Perdriau, O.Maurice, M. Drissi, "Modélisation de l'immunité des circuits intégrés-Passé, présent, et nouveau challenges pour la normalisation ", Colloque CEM2010 - Limoges, 2010.
- [Réf25] A. Ndoeye, E. Sicard, F.Lafon. "Méthodologie prédictive de l'immunité conduite d'un circuit intégré non linéaire", Colloque CEM2010 - Limoges, 2010.
- [Réf26] IEC 62433-4 : Models of Integrated Circuits for EMI behavioral simulation, Conducted Immunity Model (ICIM-CI) New proposal.
- [Réf27] S. Beebe, "Characterization, Modeling and Design of ESD Protection Circuits", Ph.D Thesis, Stanford University, 1998.
- [Réf28] Lyse-Aline Coyitangiye, "Caractérisation et Modélisation de composants Micro-électroniques: Application aux structures de type ggNMOS utilisées dans la protection contre les décharge électrostatiques", thèse de Doctorat présentée à l'université de Rouen, 2008.
- [Réf29] BSIM3v3.2.2 MOSFET Model Users' Manual, Department of Electrical Engineering and Computer Sciences University of California, Berkeley, CA 94720, Copyright 1999, The Regents of the University of California.
- [Réf30] J.C.J Paasschens, W.J. Kloosterman, "The MEXTRAM Bipolar Transistor Model, level 504.4", Users' Manual, Koninklijke Philips Electronics N.V. 2000/2004.
- [Réf31] A. Amerasekera, S. Ramaswamy, M. Chang, C. Duvvury, "Modeling MOS Snapback and Parasitic Bipolar Action for Circuit-Level ESD and High Current Simulations", Proceedings of 34th Annual IEEE International Reliability Physics, pp. 318-326, 1996.

- [Réf32] Chao Jiao and Zhiping Yu, "A Robust Novel Technique for SPICE simulation of ESD Snapback Characteristic", Solid-State and Integrated Circuit Technology, ICSICT'06, 8th International Conference, Oct 2006.
- [Réf33] Y. Paul, D. Connerney, R. Carroll, T. Luk, "Modeling MOS snapback for circuit-level ESD Simulation Using BSIM3 and VBIC models", Proceedings of the Sixth International Symposium on Quality Electronic Design (ISQED'05), 2005.
- [Réf34] J.D. Cressler, "Emerging Reliability Issues for SiGe HBTs for Mixed-Signal Circuit Applications". IEEE Transactions on Device and Materials Reliability, Vol. 4, pp. 222-236, 2004.
- [Réf35] C. Zhu, Q. Liang, R. Al-Huq, J.D. Cressler et al. "An investigation of the damage mechanisms in impact ionization-induced "mixed-mode" reliability stressing of scaled SiGe HBTs". Technical Digest IEEE International Electron Devices Meeting, Washington, DC, (2003), pp. 185–188.
- [Réf36] S. Zhang, G. Niu, J.D. Cressler, H-J Osten, D. Knoll. "The Effects of Proton Irradiation on SiGe:C HBTs", IEEE Transactions on nuclear science. Vol 48, (2002), pp. 2233-2237.
- [Réf37] U. Gogineni, J.D. Cressler, G. Niu, D.L. Hareme. "Hot electron and hot hole degradation of SiGe heterojunction bipolar transistors". IEEE Trans. Electron Dev. Vol. 47, (2000) pp. 1440-1448.
- [Réf38] J.D. Cressler, "Silicon Heterostructure Handbook: Circuits and Applications of SiGe and Si Strained-Layer Epitaxy", USA, (2006), pp. 421, 525-538, chapters 4.3 and 4.11.
- [Réf39] S-Y. Huang, K-M. Chen et al., "Electrical stress effect on RF power characteristics of SiGe hetero- junction bipolar transistors". Microelectronics Reliability. Vol. 48, (2008), pp. 193-199.
- [Réf40] G. Zhang, JD. Cressler et al., "A new Mixed Mode Reliability Degradation Mechanism in Advanced Si and SiGe Bipolar Transistors". IEEE Transactions on Electron Devices. Vol. 49, (2002), pp. 2151-2156.
- [Réf41] S.Y. Huang, K.M Chen, et al. "Hot-Carrier Induced degradations on RF Power Characteristics of SiGe Heterojunction Bipolar transistors". IEEE transactions on device and materials reliability. Vol 5, (2005), pp. 183-189.

[Réf42] ATHENA User's Manual, 2D process Simulation software, Silvaco International, (2007).

ANNEXES

ANNEXE 1. CURRICULUM VITAE

A1.1. *ÉTAT CIVIL ET FONCTION ACTUELLE*

Nom	:	KADI
Prénom	:	Moncef
Né le	:	17 mars 1974
Nationalité	:	Française
☒	:	54 rue de seine, n°133, 76100 ROUEN
Fonction actuelle	:	Enseignant/chercheur à l'ESIGELEC (Ecole Supérieure d'Ingénieurs)
Etablissement	:	ESIGELEC
Adresse	:	Technopôle du Madrillet, 76801 Saint Etienne du Rouvray
☎	:	(+33) 2.32.91.58.58
Fax	:	(+33) 2.32.91.58.59
Site web	:	www.esigelec.fr
Email	:	kadi@esigelec.fr
Laboratoire	:	IRSEEM (Institut de Recherche en Systèmes Electroniques Embarqués)
Adresse	:	Technopôle du Madrillet, 76801 Saint Etienne du Rouvray
☎	:	(+33) 2.32.91.58.58
Fax	:	(+33) 2.32.91.58.59
Site web	:	http://www.esigelec.fr/IRSEEM
Email	:	kadi@esigelec.fr

A1.II. **TITRES**

- 2004 Doctorat de l'université Joseph Fourier de Grenoble (UJF)
- "Etude et réalisation d'antennes miniatures sur substrats high-K. Application aux interconnexions RF sans fils"
- Date de soutenance : 10 Décembre 2004
Composition du jury :
- | | | |
|-----------------------|------------------|-----------------------|
| M. Michel BOUTHINON | (UJF – Grenoble) | Président |
| M. Paul. F. COMBES | (UPS – Toulouse) | Rapporteur |
| M. Mhamed DRISSI | (INSA de Rennes) | Rapporteur |
| M. Joaquin TORRES | (ST – Crolles) | Examineur |
| M. Fabien NDAGIJIMANA | (UJF – Grenoble) | Directeur de thèse |
| M. Jöel DANSOU | (UJF – Grenoble) | Co-directeur de thèse |
- 2001 D.E.A en Optique, Optoélectronique et Microondes – Institut National Polytechnique de Grenoble (INPG)
- 1999 Diplôme de Magistère en Microondes de l'université de Constantine – ALGERIE
- 1996 Ingénieur en électronique de l'université de Constantine – ALGERIE

A1.III. **PARCOURS PROFESSIONNEL**

- 2005 – Présent Enseignant/chercheur à l'ESIGELEC (dans le département Electronique & Télécommunications)
- 2004 – 2005 Post Doctorant à l'IRSEEM (dans le pôle Electronique & Système)
- 2001 – 2004 Allocataire de recherche à l'université Joseph Fourier de Grenoble et vacataire à l'ENSERG (Ecole Nationale Supérieure d'Electronique et de Radioélectricité de Grenoble). Thèse effectuée au laboratoire IMEP.
- 1996 – 2000 Enseignant vacataire à l'université de Constantine – ALGERIE

A1.IV. **ACTIVITE D'ENCADREMENT DES TRAVAUX DE RECHERCHE**

A1.IV.1. **Encadrement de thèses**

Mon activité d'encadrement de thèses a démarré en 2005 avec les thèses de L. BOUCHELOUK [Th1] et de I. CHAHINE [Th2]. Ces deux thèses portaient respectivement sur l'étude et la conception des sondes de mesure champ proche et sur l'immunité conduite des circuits intégrés. Ces deux thèses ont été soutenues en 2006 et 2007. Actuellement j'encadre trois thèses, dont deux à échéance 2011 et une à échéance 2013. De ces thèses, celle de M. KANTE [Th4] qui est la continuité des travaux autour de l'immunité des circuits intégrés. En 2007, j'ai lancé à l'IRSEEM une nouvelle activité de recherche portant sur la fiabilité des composants sous stress électromagnétique. Le bilan de cette activité est une thèse soutenue et deux thèses en cours : la thèse soutenue s'est déroulée dans le cadre de l'institut CARNOT ESP et a porté sur l'étude de la fiabilité des transistors TBH en technologie Si-SiGe [Th3]. Quant aux deux en cours, une est orientée sur l'étude de la fiabilité des transistors RF de puissance en technologie GaN [Th6] et l'autre traite principalement la fiabilité des composants à semiconducteurs larges bandes [Th6]. Ci-dessous est présenté le détail de chaque thèse avec les pourcentages d'encadrement.

A1.IV.1.1. **Thèses soutenues**

[Th1]	Nom du diplômé : Lakhdar BOUCHELOUK
	Date de soutenance : 26 Octobre 2006 – Encadrement partiel : 30 %
	Titre de la thèse : Conception et validation des sondes pour les mesures en champ proche
	Situation actuelle du diplômé : Ingénieur de recherche en électronique chez VALEO
[Th2]	Nom du diplômé : Imad CHAHINE
	Date de soutenance : 7 Décembre 2007 – Encadrement partiel : 70 %
	Titre de la thèse : Caractérisation et modélisation de la susceptibilité conduite des circuits intégrés aux perturbations électromagnétiques
	Situation actuelle du diplômé : Ingénieur CEM chez RENAULT
[Th3]	Nom du diplômé : Ali ALAEDDINE
	Date de soutenance : Février 2011 – Encadrement partiel : 50 %
	Titre de la thèse : Dégradations et défaillances de composants Si-SiGe sous contraintes électromagnétiques
	Situation actuelle : ATER à l'IUT de Rouen

A1.IV.1.2. Thèses en cours

[Th4]	Nom du doctorant : Mamadou KANTE
	Date de soutenance : Mars 2011 – Encadrement partiel : 90 %
	Titre de la thèse : Modèle CEM de la susceptibilité électromagnétique conduite d'un composant. Validation par des tests en DPI
	Situation actuelle : thèse IRSEEM
[Th5]	Nom du doctorant : Samh KHEMIRI
	Date de soutenance : Décembre 2011 – Encadrement partiel : 90 %
	Titre de la thèse : Contribution à l'étude de la fiabilité des technologies MOS utilisées dans la mécatronique
	Situation actuelle : thèse IRSEEM
[Th6]	Nom du doctorant : Patrick DENIS
	Date de soutenance : Décembre 2013 – Encadrement partiel : 40%
	Titre de la thèse : Fiabilité des composants à semiconducteurs larges bandes pour les applications haute température
	Situation actuelle : thèse régionale GPM – IRSEEM

A1.IV.2. Encadrement de stages de Masters 2

- [Mast1] H. SHALL,
"Contribution à l'étude de l'immunité conduite des circuits intégrés"
Master en électronique, Université de Sfax & Ecole Nationale des Ingénieurs de Sfax (ENIS) – Tunisie, Avril 2010.
- [Mast2] A. RAMANUJAN,
"Characterization, Modeling and Design of On-Chip ESD protection circuits"
Master IGIS, Université de Rouen, Juillet 2008.
- [Mast3] E-M. SAID,
" Etude de l'impact des perturbations électromagnétiques rayonnées sur des structures microélectroniques"
Master IGIS, Université de Rouen, Juillet 2007.
- [Mast4] S. KAVAKLI,
"Développement d'un logiciel de diagnostic pour caractérisation des émissions d'une carte électronique"
Master IGIS, Université de Rouen, Septembre 2005.

A1.IV.3. Encadrement de stages de fin d'études

[S1] M. BENSALAH,

"Développement et mise en place de cartes de tests pour l'étude de la fiabilité des amplificateurs hyperfréquences en technologie Si/SiGe face à des agressions électromagnétiques rayonnées"

Ingénieur ESIGELEC, Septembre 2009.

[S2] S.SUDARSHAN,

"Automation of Direct Power Injection Set up to measure the conducted immunity of the Integrated Circuits"

Bachelor of technology in Electronic and Communication Engineering, Vellore Institute of Technology (VIT), India, June 2009.

[S3] D. LOPEZ-BREA,

"Développement d'un logiciel de contrôle d'une configuration de test pour des mesures CEM"

Ingénieur de l'Université Polytechnique de Madrid (UPM), Juillet 2007.

[S4] A. KOUL,

"Electromagnetic Modelling of integrated circuit emissions based on near field measurements"

Bachelor of technology in Electronic and Communication Engineering, Vellore Institute of Technology (VIT), India, June 2006.

A1.V. *RESPONSABILITES COLLECTIVES ET RAYONNEMENTS*

A1.V.1. Participations aux montages de dossiers de projets de recherche

A1.V.1.1. AUDACE

Le projet AUDACE est un projet de recherche et développement du pôle de compétitivité MOV'EO. Il a démarré en octobre 2008 pour une durée de 48 mois. Il regroupe quatorze partenaires industriels et universitaires. Les partenaires industriels sont : Thales Air Systems (porteur du projet), Valeo, NXP, Ligeron, MB Electronique et NMRtec. Les universitaires et

les laboratoires partenaires sont : l'UVSQ, LMR, ECIME, GPM, IRSEEM, CEVAA, CETIM et, LaMIPS. Je suis, côté IRSEEM, le leader de ce projet. J'ai accompagné toutes les étapes de définition et montage et j'assure actuellement son suivi. Ce projet est un très bon exemple de projet collaboratif autour d'un thème aussi complexe que celui de la fiabilité des systèmes mécatroniques. En effet, nous retrouvons dans le projet des partenaires spécialistes non seulement des aspects thermiques, des aspects vibratoires et des aspects électromagnétiques mais aussi des partenaires spécialistes de la partie analyses de défaillances.

A1.V.1.2. CARNOT ESP

L'institut Carnot ESP regroupe des laboratoires de recherche académique et des centres de transfert technologique pour aborder l'ensemble des problématiques liées à l'optimisation de systèmes énergétiques et de systèmes de propulsion. J'assure actuellement le suivi d'un des projets CARNOT ESP dans lesquels l'IRSEEM est impliqué. Il porte sur l'étude de la fiabilité des composants en technologie Si-SiGe et met en synergie les compétences de l'IRSEEM et du GPM [Th3].

A1.V.1.3. EPEA

Le projet EPEA (EMC Platform for Embedded Applications) est un programme de recherche du pôle de compétitivité Aerospace Valley. Le projet EPEA concerne les outils d'ingénierie CEM et les méthodes de mesures innovantes, destinées au développement de modèles. L'IRSEEM est impliqué dans différents WP(Work Package). Pour ma part, j'assure le suivi du WP1 dans lequel l'IRSEEM est fortement impliqué. Ce WP porte sur la création d'un modèle générique de l'immunité des composants.

A1.V.2. Participations à des jurys de thèses

[J1] L. BOUCHELOUK,

"Conception et validation des sondes pour les mesures en champ proche"

Thèse de doctorat de l'université de Paris-Sud XI, soutenue le 26 Octobre 2006 à SUPELEC.

[J2] I. CHAHINE,

"Caractérisation et modélisation de la susceptibilité conduite des circuits intégrés aux perturbations électromagnétiques"

Thèse de doctorat de l'université de Rouen, soutenue le 7 Décembre 2007 à l'ESIGELEC.

[J3] A. ALAEDDINE,

"Le Transistor Bipolaire à Hétérojonction Si/SiGe sous contraintes électromagnétiques: des dégradations électriques à l'analyse structurale"

Thèse de doctorat de l'université de Rouen, soutenue le 4 Février 2011 à l'université de Rouen.

ANNEXE 2. LISTE DES TRAVAUX ET DES PUBLICATIONS

A2.1. *MEMOIRES*

[T1] **M. KADI,**

"Etude et réalisation d'antennes miniatures sur substrats high-K. Application aux interconnexions RF sans fils"

Thèse de doctorat de l'université Joseph Fourier de Grenoble – Décembre 2004.

[T2] **M. KADI,**

"Etude et conception d'antennes multistandards GSM/DCS, UMTS et Bluetooth "

Mémoire de DEA Optique Optoélectronique et Microondes (O. O. M), INPG – Grenoble, Juillet 2001.

[T3] **M. KADI,**

"Modélisation des lignes à ailettes unilatérales à fentes couplées par utilisation de la méthode spectrale"

Mémoire de Magistère en Microondes, Université de Constantine – Algérie, Avril 1999.

A2.II. *REVUES INTERNATIONALES AVEC COMITE DE LECTURE*

- [P1] Z. RIAH, D. BAUDRY, **M. KADI**, A. LOUIS, B. MAZARI,
"Post Processing of Electric Field Measurements to Calibrate a Near Field Dipole Probe"
IET Science, Measurement & Technology, vol. 5, Issue 2, pp.29–36, March 2011.
- [P2] ALAEDDINE, C. GENEVOIS, **M. KADI**, F. CUVILLY, K. DAOUD,
"Degradation of Au-Ti contacts of SiGe HBT's during electromagnetic field stress"
Journal of Semiconductor Science and Technology. Vol 26 (2011) 025003 (6pp).
- [P3] A. ALAEDDINE, **M. KADI**, K. DAOUD, B. BEYDOUN
"Characteristics degradation of the SiGe HBT under electromagnetic field stress"
Microelectronics Reliability, In Press, Available online 24 July 2010, July 2010.
- [P4] A. ALAEDDINE, **M. KADI**, K. DAOUD , H. MAANANE, P. EUDELIN,
"Study of electromagnetic field stress impact on SiGe heterojunction bipolar transistor performance"
International Journal of Microwave and Wireless Technologies, January 2010.
- [P5] A. RAMANUJAN, **M. KADI**, J. TREMBERT, F. LAFON, B. MAZARI,
"Modeling IC Snapback Characteristics Under Electrostatic Discharge Stress"
IEEE Transactions on Electromagnetic Compatibility, vol. 51, n° 4, November 2009.
- [P6] A. ALAEDDINE, **M. KADI**, K. DAOUD, B. MAZARI
"Effects of electromagnetic near-field stress on SiGe HBT's reliability"
Microelectronics Reliability, vol 49, pp. 1029–1032, August 2009.
- [P7] D. BAUDRY, **M. KADI**, Z. RIAH, C. ARCAMBAL, Y. VIVES-GILABERT, A. LOUIS, B. MAZARI,
"Plane wave spectrum theory applied to near-field measurements for electromagnetic compatibility investigations"
IET Science, Measurement & Technology, vol.3, Issue 1, pp.72-83, January 2009.
- [P8] I. CHAHINE, **M. KADI**, E. GABORIAUD, A. LOUIS, B. MAZARI
"Characterization and Modeling of the Susceptibility of Integrated Circuits to Conducted Electromagnetic Disturbances Up to 1 GHz"

IEEE Transactions on Electromagnetic Compatibility, vol.50. n°2, pp.285-293, May 2008

[P9] L. BOUCHELOUK, Z. RIAH, D. BAUDRY, **M. KADI**, A. LOUIS, B. MAZARI,

"Characterisation of Electromagnetic Fields Close To Microwave Devices Using Electric Dipole Probes"

International Journal of RF and Microwave Computer-Aided Engineering, vol.18, n°2, pp.146-156, March 2008.

[P10] **M. KADI**, F. NDAGIJIMANA, J. DANSOU – ELOY ,

"Printed Dipoles Antennas for MCM-L Wireless RF Interconnects"

IEEE Transaction on Antennas and Propagation, vol.56, n°1, pp.223 – 230, January 2008.

[P11] I. CHAHINE, **M. KADI**, E. GABORIAUD, X. GALLENNE, A. LOUIS, B. MAZARI,

"Enhancement of accuracy for measuring the susceptibility of integrated circuits to conducted electromagnetic disturbances"

IET Science, Measurement and Technology, vol.1, Issue 5, pp.240-244, September 2007.

[P12] I. CHAHINE, **M. KADI**, E. GABORIAUD, C. MAZIERE, A. LOUIS, B. MAZARI,

"Modelling of Integrated Circuits Susceptibility to Conducted Electromagnetic Disturbances Using Neural Networks Theory"

IET Electronics Letters, vol.42, n°18, pp.1022-1024, August 2006.

A2.III. CONFERENCES INTERNATIONALES AVEC COMITE DE LECTURE

A2.III.1. Conférences IEEE

- [CI1] A. ALAEDDINE, **M. KADI**, K. DAOUD,
"Performance and Structure Degradations of SiGe HBT after Electromagnetic Field Stress"
2011 IEEE International Reliability Physics Symposium, USA, (Accepted).
- [CI2] A. ALAEDDINE, **M. KADI**, K. DAOUD, B. BEYDOUN, D. BLAVETTE,
"Characterization and simulation of SiGe HBT degradation induced by electromagnetic field stress"
16th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits, IPFA 2009, Page(s):751 – 755, 6-10 July 2009.
- [CI3] **M. KADI**, F. NDAGIJIMANA and J. DANSOU,
"Electromagnetic interference produced by printed dipoles antennas for MCM wireless RF clock distribution"
8th IEEE workshop on Signal Propagation on Interconnects – SPI, May 2004, Heidelberg – Germany.

A2.III.2. Autres conférences

- [CI4] S. KHEMIRI, **M. KADI**, A. LOUIS, B. MAZARI,
"Effects of electromagnetic near-field stress on DC and RF performances of AlGaIn/GaN HEMT",
EMC Europe 2011, Poland 2011 (Accepted).
- [CI5] A. ALAEDDINE, **M. KADI**, K. Daoud,
"The Effects of Electromagnetic Field Stress on SiGe HBT's",
PIERS 2011, Morocco 2011 (Accepted).
- [CI6] H. SHALL, M. KANTE, **M. KADI**, A. LOUIS, B. MAZARI,
"Caractérisation et modélisation de l'immunité conduite des circuits intégrés"

2EMC conference, Nov. 2010, Rouen – France.

[CI7] A. ALAEDDINE, **M. KADI**, K. DAOUD, B. BEYDOUN,

"Use the electromagnetic field stress to study the reliability of the SiGe HBT"

MINO 2010, Catania (Italy), Vol 1 (2010) 114-119.

[CI8] A. ALAEDDINE, **M. KADI**, K. DAOUD, B. MAZARI,

"Effects of electromagnetic near field stress on SiGe HBT reliability"

European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF), October 2009, Arcachon – France.

[CI9] I. CHAHINE, **M. KADI**, E. GABORIAUD, D. BREA, A. LOUIS, B. MAZARI,

"A reliable and original DPI test setup to better characterizing the susceptibility of integrated circuits"

2EMC conference, Oct. 2007, Rouen – France.

[CI10] I. CHAHINE, **M. KADI**, E. GABORIAUD, A. LOUIS, B. MAZARI,

"Using neural networks for predicting the integrated circuits susceptibility to conducted electromagnetic disturbances"

18th International Zurich Symposium on Electromagnetic Compatibility, September 2007, Munich – Germany.

[CI11] I. CHAHINE, D. POMMERENKE, **M. KADI**, P. RAVVA, A. LOUIS, B. MAZARI,

"Immunity Investigation on prototype field programmable gate array"

EMC Europe 2006, September 2006, Barcelona – Spain.

[CI12] **M. KADI**, F. NDAGIJIMANA, J. DANSOU,

"Guided wave phenomena in printed dipoles antennas for MCM wireless RF clock distribution"

Mediterranean Microwave Symposium (MMS), June 2004, Marseille – France.

[CI13] **M. KADI**, F. NDAGIJIMANA, J. DANSOU,

"Electromagnetic Interference from RF wireless interconnections"

4th International Workshop on Electromagnetic Compatibility of Integrated Circuits – EMC – Compo 04, March 31st – April 1st 2004, Angers – France.

- [CI14] **M. KADI**, F. NDAGIJIMANA, J. DANSOU,
"Analysis of guided waves generated by printed dipoles antennas used in wireless RF interconnect"
Progress in Electromagnetic Research Symposium – PIERS, March – 2004, Pisa – Italy.
- [CI15] **M. KADI**, J. DANSOU, F. NDAGIJIMANA,
"Solution hybride d'interconnexion sans fils par antennes miniatures pour des supports multipuces"
17^{ème} colloque international d'optique hertzienne et diélectrique – OHD – calais – Sep 2003.
- [CI16] M. BELMEGUENAI, M. L. RIABI, **M. KADI**,
"Accurate Modeling of transformers and filters in circular and rectangular waveguides"
17^{ème} colloque international d'optique hertzienne et diélectrique – OHD – calais – Sep 2003.
- [CI17] M. BELMEGUENAI, M. L. RIABI, **M. KADI**,
"Modelling of transformers and filters in rectangular waveguides"
Mediterranean Microwave Symposium – MMS, June 2003, Cairo – Egypt.
- [CI18] **M. KADI**, F. NDAGIJIMANA, J. DANSOU,
"Antennes miniatures sur des substrats de hautes permittivités"
International Symposium on Antennas, November 2002, Nice – France.

A2.IV. CONFERENCES NATIONALES AVEC COMITE DE LECTURE

- [CN1] M. KANTE, **M. KADI**, A. LOUIS, B. MAZARI,
"Caractérisation et modélisation de l'immunité conduite d'un transceiver de bus CAN"
15^{ème} Colloque International et Exposition sur la Compatibilité Electromagnétique, Avril 2010, Limoges.
- [CN2] S. KHEMIRI, **M. KADI**, A. LOUIS, B. MAZARI,
"Etude de l'effet d'une cavité métallique sur les cartographies du champ électromagnétique d'un circuit hyperfréquence"
15^{ème} Colloque International et Exposition sur la Compatibilité Electromagnétique, Avril 2010, Limoges.

- [CN3] A. AIAEDDINE, **M. KADI**, K. DAOUD, H. MAANANE, P. EUDELIN,
"Effets des perturbations électromagnétiques sur les TBHs SiGe"
16^{ème} Journées nationales de Microondes (JNM), Mai 2009, Grenoble.
- [CN4] A. ALAEDDINE, **M. KADI**, K. DAOUD, B. BEYDOUN,
"Etude de la fiabilité des TBHs Si/SiGe sous contraintes électromagnétiques"
JNRDM, Mai 2009, Lyon.
- [CN5] **M. KADI**, F. NDAGIJIMANA, J. DANSOU,
"Méthode de caractérisation de substrat high-k pour des applications hyperfréquences"
Journées de Caractérisations Microondes et Matériaux (JCMM), Mars 2004, La rochelle.
- [CN6] **M. KADI**, J. DANSOU, F. NDAGIJIMANA,
"Interconnexions sans fils par antennes miniatures sur substrats de hautes permittivités"
13^{ème} Journées nationales de Microondes (JNM), Mai 2003, Lille.

**A2.V. *TABLEAU DE SYNTHESE DU NOMBRE DE PUBLICATIONS
PAR AN***

Années	2006	2007	2008	2009	2010	2011	Total
RI	1	1	3	3	2	2	12
CI	1	2		2	1	2	8
CN				2	2		4

Tableau 4 : Nombre de publications par an depuis 2006.

ANNEXE 3. ACTIVITES D'ENSEIGNEMENT

A3.I. PRESENTATION GENERALE

Le tableau ci-dessous résume mon activité d'enseignement depuis l'année universitaire 2001/2002.

Années universitaires	Statuts	Etablissements	Niveaux	Matières	Heures équ TD
2001/2002	Vacataire	ENSERG	1 ^{ère} année ingénieur	TP d'électronique (VCO, PLL, Synthétiseurs de fréquence,...)	32h
2002/2003	Vacataire	ENSERG	1 ^{ère} année ingénieur 2 ^{ème} année ingénieur	TP d'électronique (VCO, PLL, Synthétiseurs de fréquence,...) TP d'hyperfréquence (Analyseur scalaire de circuits microondes) TP d'optique (Réflectométrie temporelle, Fibres optiques, Couplage laser- fibre optique)	32h 48h
2003/2004	Vacataire	ENSERG	1 ^{ère} année ingénieur 2 ^{ème} année ingénieur 3 ^{ème} année ingénieur et DEA	TP d'électronique (Logique combinatoire, Ligne de transmission) TP d'hyperfréquence (Analyseur scalaire de circuits microondes) TP d'optique (Réflectométrie temporelle, Fibres optiques, Couplage laser- fibre optique) TD de conception de circuits hyperfréquences	32h 48h 7h
2004 à 2010	Enseignant / Chercheur	ESIGELEC	Cycle ingénieur	TP Electronique analogique et numérique Systèmes numériques à microprocesseurs Interfaçage des systèmes numériques Cours d'hyperfréquence TP d'hyperfréquence	190h/an
2006 à 2008		Univ de Rouen	Master 2 IGIS	Cours d'instrumentation hyperfréquence	15h/an
2006 à 2009		ENSICAEN	Master 2 Minsys	Cours de couplages électromagnétiques dans les SOC TP de simulations et mesures hyperfréquences	6h/an 4h/an
2009/2010		Univ de Rouen	Master 2 Mécatronique	Cours de systèmes RF TP d'hyperfréquence	30h 6h

Il en ressort deux principales périodes :

- Celle de l'élaboration de la thèse, allant de 2001 à 2004, période au cours de laquelle j'étais vacataire et j'enseignais principalement l'électronique et l'optique à l'ENSERG.
- Celle de l'après thèse, où j'occupe, depuis 2004, un poste d'enseignant/chercheur à l'ESIGELEC tout en dispensant en parallèle des cours de Masters 2 (recherche et professionnel) à l'université de Rouen et à l'ENSICAEN.

A3.II. *PRINCIPALES CONTRIBUTIONS*

Je présente dans cette partie mes principales contributions lors de l'exercice de mon activité pédagogique à l'ESIGELEC aussi bien au niveau de la formation initiale qu'au niveau de la formation continue.

A3.II.1. Au niveau de la formation initiale

En ce qui concerne mes contributions à la formation initiale proposée par l'ESIGELEC, il convient de préciser qu'elles se situent principalement au niveau de la dominante ISET (Ingénierie des Systèmes Electroniques de Télécommunications), du département électronique et télécommunication dont je fais partie et de la direction des formations et des programmes où j'ai contribué à la mise en place d'une nouvelle dominante dans l'offre.

- Au niveau de la dominante ISET : en tant que responsable de cette dominante depuis octobre 2006 et après avoir fait une veille technologique, j'ai effectué quelques remaniements des programmes qu'on peut présenter selon les deux axes suivants :
 - Actualisation des programmes : la première modification que j'ai apportée aux programmes de la dominante concerne l'introduction d'un nouveau module portant sur les standards de télécommunications sans fil (Bluetooth, ZigBee, Home RF, WIFI et WIMAX). Il vient renforcer la partie télécommunication de cette dominante dans laquelle on évoquait principalement les systèmes de téléphonie mobile. J'ai également introduit un enseignement consacré aux logiques programmables et à leurs utilisations en télécommunication.

- Proposition d'électifs généraux pour les autres dominantes : à l'ESIGELEC les étudiants de 3^{ème} année peuvent choisir deux modules proposés par d'autres dominantes que celle dans laquelle ils sont inscrits. Ces électifs généraux, comme ils sont appelés, ont pour objectif d'ouvrir les élèves à d'autres domaines technologiques que ceux de leur dominante. Pour la dominante ISET, j'ai mis en place un module introduisant le domaine des hyperfréquences. Il s'avère particulièrement apprécié des élèves puisque chaque année le nombre d'inscrits correspond à la capacité maximale de ce module qui est essentiellement liée au nombre de postes de travaux pratiques.

Il convient de préciser que la dominante ISET est orientée vers les domaines de l'ingénierie hyperfréquence et des télécommunications sans fil. Elle est proposée aux élèves à partir du second semestre de la deuxième année et couvre un volume horaire de 300 heures réparties sur la deuxième et la troisième année.

- Au niveau du département électronique & télécommunication : je participe avec mes collègues à la proposition et à la rédaction de nouveaux modules d'enseignements. Ces modules concernent soit le cursus de tronc-commun (1^{ère} année et 2^{ème} année), soit les dominantes (2^{ème} année ISET et ICOM). Pour cette dernière catégorie, ces modules sont appelés modules d'approfondissement. Depuis 2008, je propose ainsi un module de 30 h (14 h de cours + 6h de TD et 8 h de TP) intitulé "Concepts avancés : fonctions & circuits". Son objectif est d'approfondir les concepts de base en présentant d'autres outils d'analyse capables de faciliter la conception et l'analyse de circuits électroniques.
- Au niveau de la direction des formations : j'ai participé à la mise en place, pour l'année universitaire 2008/2009, d'une des deux nouvelles dominantes de l'école, à savoir la dominante Ingénieur Finance. J'ai alors intégré un groupe de travail constitué de quatre personnes chargé de réfléchir aux contours de cette dominante. Notre rôle était d'étudier les offres d'autres écoles d'ingénieur et de bâtir un programme pédagogique cohérent incluant les spécificités de l'ESIGELEC. Le programme de cette dominante transversale, construit en fonction des besoins du marché, propose une répartition équilibrée entre les enseignements de

mathématiques et d'informatique d'une part, et les enseignements non technologiques (gestion de projets financiers, maîtrise des risques, gestion de portefeuilles et marchés financiers, veille et intelligence économique, droit fiscal... mais aussi anglais financier et gestion du stress et des émotions) d'autre part.

A3.II.2. Au niveau de la formation continue

L'ESIGELEC propose aux entreprises des formations professionnalisantes non diplômantes (sur catalogue ou sur mesure). J'ai mis en place deux nouveaux modules en hyperfréquence afin de répondre à une demande de l'entreprise ALCATEL qui souhaitait former ses techniciens sur les différents domaines des hyperfréquences qu'ils rencontrent lors de l'exercice de leurs fonctions. Ces formations ont porté sur :

- L'adaptation d'amplificateurs hyperfréquences.
- La théorie et la mesure du bruit RF.

A3.III. *ENSEIGNEMENTS DISPENSES*

A3.III.1. Enseignements à l'ENSERG (2001/2004)

- TP d'électronique : ces travaux pratiques étaient destinés aux élèves de 1^{ère} année inscrits dans la filière "Télécommunication" de l'ENSIMAG & l'ENSERG, deux grandes écoles de l'INPG (Institut National Polytechnique de Grenoble). Les manipulations proposées portaient sur :
 - La transmission FM : le but de la manipulation était d'étudier les principaux organes d'une chaîne de transmission en modulation de fréquence (Oscillateurs, VCO et PLL).
 - Logique combinatoire et séquentielle (bascules, synthèse de compteurs, multiplexeurs,...).
 - Ligne coaxiale en hyperfréquence : l'objectif du TP était de mesurer sur une ligne coaxiale la tension en tout point afin d'extraire la longueur d'onde, le TOS (Taux d'Ondes Stationnaires), l'impédance de charge, ...

- TP d'hyperfréquence et d'optique : ces TP étaient destinés aux élèves de 2^{ème} année de l'ENSERG. Ils se déroulaient sur la plateforme du LHOG (Laboratoire d'Hyperfréquence et d'Optique Guidée) situé sur le site de l'INPG et mutualisé entre plusieurs écoles (ENSERG, ESISAR et ENSPG). Deux manipulations étaient proposées :
 - Analyseur scalaire de circuit microondes : le but de la manipulation était de caractériser des circuits microondes (coupleur, adaptateur quart d'onde, ...) par utilisation d'un analyseur scalaire.
 - Etude des pertes dans les fibres optiques : cette manipulation avait pour objectif de faire le bilan des pertes dans une liaison utilisant une fibre optique (pertes intrinsèques, pertes par courbures et pertes par couplage). Ces travaux pratiques étaient divisés en deux parties :
 - Fibre optique en réflexion : dans cette partie, la technique utilisée était la réflectométrie optique temporelle qui repose sur l'observation de la lumière qui a parcouru une fibre optique et qui s'est réfléchi au cours de la propagation.
 - Fibre optique en transmission : dans cette partie, un laser Hélium-Néon était utilisé afin d'alimenter la fibre optique. Cette manipulation permettait d'extraire plusieurs paramètres caractéristiques des fibres, à savoir ouverture numérique, pertes par courbure et pertes par couplage.
- TD de conception de circuits hyperfréquences (CCH) : ce TD était destiné aux élèves de 3^{ème} année de l'ENSERG et à ceux inscrits en DEA O.O.M (Optique, Optoélectronique et Microondes). Il reprenait les principes de conception d'amplificateurs faibles bruits et forts gains, d'oscillateurs, de mélangeurs et de coupleurs pour des applications hyperfréquences.

A3.III.2. Enseignements à l'ESIGELEC (depuis 2004)

En intégrant l'ESIGELEC en octobre 2004, j'avais principalement une activité de recherche au sein de l'IRSEEM. Ma charge pédagogique ne dépassait pas une centaine d'heures (TD+TP) la première année. A partir de la rentrée 2005, j'ai intégré le département électronique &

télécommunication (E&T) de l'ESIGELEC et ma charge annuelle passa alors à environ 190 heures "équivalents" TD par an. Ci-dessous sont présentés les principaux enseignements dispensés dans ce cadre.

- Cours, TD et TP d'électronique analogique : au sein du département E&T, il a été mis en place, pour certains modules, un nouveau système d'enseignement basé sur la dispense dans une même séance du cours, du TD et du TP. Ces modules, appelés « modules pilotes », avaient pour objectif d'expérimenter ce nouveau système qui rapproche les cours des TD et des TP. J'intervenais principalement dans les unités d'enseignements suivantes :
 - Concepts de bases en électronique – 1^{ère} année tronc-commun – Cours, TD et TP – Composants passifs, amplificateurs opérationnels, diagrammes de bode, comparateurs et indicateurs, ...
 - Mesures électroniques – 1^{ère} année tronc-commun – Cours, TD et TP – Oscilloscope, multimètre, millivoltmètre AC, distorsiomètre.
 - Systèmes de communications – 2^{ème} année tronc-commun – Cours, TD et TP – Modulations et démodulations analogiques (AM, PM, FM), les oscillateurs, les récepteurs superhétérodynes.
 - Compléments sur l'utilisation des PLL – 2^{ème} année tronc-commun – TD et TP – Fonction de transfert d'une PLL, réponse indicielle, VCO, synthétiseur de fréquence.
- Concepts avancés : fonctions & circuits (*chargé de cours*) : Ce module est un module d'approfondissement destiné aux étudiants qui se sont orientés vers des dominantes où la connaissance du fonctionnement des circuits électroniques est une part essentielle du savoir faire. Son objectif est d'approfondir les concepts de base en présentant d'autres outils d'analyse capables de faciliter la conception et l'analyse de circuits électroniques. Le cours contient trois chapitres :
 - Théorie et application de la transformée de Fourier.
 - Représentation matricielle des quadripôles et graphes de fluence.
 - Méthode nodale et méthode nodale modifiée.

- TD, TP de systèmes numériques à microprocesseurs – 2^{ème} année tronc-commun : dans ce module, sont étudiés les principes des systèmes à microprocesseur. On aborde principalement le décodage d'adresse, la programmation en assembleur et les exceptions. Les processeurs étudiés sont des Motorola (freescale) de la famille des coldfires (Coldfire 5213 et Coldfire 5307).
- TD, TP d'interfaçage de systèmes numériques à microprocesseurs – 2^{ème} année tronc-commun : ce module est la continuité du module "systèmes numériques à microprocesseurs". Il aborde les aspects d'interfaçage du microprocesseur avec les différents périphériques à travers l'étude de l'UART, du Timer, et du port parallèle.
- Cours d'hyperfréquence (*chargé de cours*) – 3^{ème} année – électif général : ce cours constitue une ouverture sur le domaine des hyperfréquences pour les élèves inscrits dans les autres dominantes de l'ESIGELEC ne traitant pas cette discipline. Il consiste en une introduction aux circuits et composants hyperfréquences ainsi qu'aux principes de caractérisation dans ce domaine.
- TP de CAO hyperfréquence – 2^{ème} année dominante ISET : dans ce module sont abordés les aspects simulation et caractérisation des circuits et dispositifs hyperfréquences. Les élèves sont formés sur l'utilisation de l'outil de simulation électrique ADS et sur les outils de simulations électromagnétiques Momentum et HFSS. Pour la partie caractérisation, je leur enseigne l'utilisation de l'analyseur de réseau vectoriel.
- TP de conception et mesures hyperfréquences – 3^{ème} année dominante ISET : ce module, destiné aux élèves de la dominante ISET, a pour objectif de consolider leur apprentissage des outils de conception découverts en 2^{ème} année tels que ADS et HFSS. Des cas concrets sont traités : réalisation d'un mélangeur, interférence électromagnétique dans des circuits hyperfréquences, amplificateurs, coupleurs et isolateurs.

A3.III.3. Enseignements dans des Masters 2 recherches (depuis 2006)

- Cours Instrumentation Hyperfréquence (Master 2 IGIS – Université de Rouen) : ce cours porte sur les méthodes d'instrumentation en hyperfréquence. Il aborde le

principe de mesure de l'analyseur de réseau (structure interne, calibrage, mesure un port, mesure deux ports et mesures sous pointes), l'analyseur de spectre (principe, CF et SPAN, réglages RBW et VBW) ainsi que le principe de mesure du bruit RF.

- Cours "Coupling effects in SOC" (Master 2 professionnel MINSYS – ENSICAEN) : ce cours porte sur l'étude des phénomènes de couplage dans les SOC (Systems On Chip). Le couplage principalement étudié est celui par diaphonie dans un réseau de lignes d'interconnexions de plus en plus dense dans ces technologies. Son importance est abordée en tenant compte des fréquences, des matériaux et des dimensions de ces circuits.
- Cours systèmes RF, théorie et mesure (Master 2 Mécatronique – Université de Rouen) : ce cours présente les composants et circuits RF ainsi que leurs méthodes d'étude et caractérisation. Son contenu reprend les points suivants :
 - Introduction aux domaines des radiofréquences et hyperfréquences.
 - Théorie des lignes de transmission.
 - Composants hyperfréquences.
 - La matrice S.
 - Mesure des paramètres S des composants packagés.
 - Mesure des paramètres S des composants "on wafer".
 - Mesure par analyseur de spectre.

ANNEXE 4. QUELQUES PUBLICATIONS DANS DES REVUES INTERNATIONALES
